

5/ Pre And  
A

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

**PRELIMINARY AMENDMENT ACCOMPANYING APPLICATION**

APPLICANT: Hideo Yamanaka, et al.

ATTY. DOCKET NO. 09792909-5337

SERIAL NO.

DATE FILED:

INVENTION: "METHOD AND APPARATUS FOR FORMING A THIN SEMICONDUCTOR FILM, METHOD AND APPARATUS FOR PRODUCING A SEMICONDUCTOR DEVICE, AND ELECTRO-OPTICAL APPARATUS"

Assistant Commissioner of Patents  
Washington, D.C. 20231

SIR:

Between the title and the heading "Background of the Invention" on page 1, insert the following:

--RELATED APPLICATION DATA

The present application claims priority to Japanese Application(s) No(s). P2001-036441 filed February 14, 2001, which application(s) is/are incorporated herein by reference to the extent permitted by law.

Respectfully submitted,



(Reg. No. 32,919)

David R. Metzger  
SONNENSCHEIN NATH & ROSENTHAL  
P.O. Box #061080  
Wacker Drive Station  
Sears Tower  
Chicago, IL 60606-1080  
Customer #26263

Attorneys for Applicant(s)

A  
2001-036441

日本国特許庁  
JAPAN PATENT OFFICE

4/Princ  
502 P01254P088

JC997 U.S. PTO  
100/075774  
02/14/02  


別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application:

2001年 2月14日

出願番号  
Application Number:

特願2001-036441

[ST.10/C]:

[JP2001-036441]

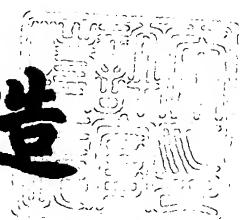
出願人  
Applicant(s):

ソニー株式会社

2002年 1月11日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3113093

【書類名】 特許願  
【整理番号】 0000619706  
【提出日】 平成13年 2月14日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 29/04  
H01L 29/786

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内

【氏名】 山中 英雄

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内

【氏名】 矢元 久良

【特許出願人】

【識別番号】 000002185  
【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100076059

【弁理士】

【氏名又は名称】 逢坂 宏

【手数料の表示】

【予納台帳番号】 001775  
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9707812

特2001-036441

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体薄膜の形成方法及び半導体装置の製造方法、これらの方  
法の実施に使用する装置、並びに電気光学装置

【特許請求の範囲】

【請求項1】 基体上に多結晶性又は単結晶性半導体薄膜を形成するに際し

前記基体上に低級結晶性半導体薄膜を形成する第1工程と、

前記低級結晶性半導体薄膜に集光ランプアニールを施して、溶融又は半溶融  
又は非溶融状態の加熱と冷却により前記低級結晶性半導体薄膜の結晶化を促進  
する第2工程と

を有する、半導体薄膜の形成方法。

【請求項2】 基体上に多結晶性又は単結晶性半導体薄膜を有する半導体裝  
置を製造するに際し、

前記基体上に低級結晶性半導体薄膜を形成する第1工程と、

前記低級結晶性半導体薄膜に集光ランプアニールを施して、溶融又は半溶融  
又は非溶融状態の加熱と冷却により前記低級結晶性半導体薄膜の結晶化を促進  
する第2工程と

を有する、半導体装置の製造方法。

【請求項3】 前記第1工程と前記第2工程とを繰り返す、請求項1又は2  
に記載した方法。

【請求項4】 集光ランプの出射光を前記基体に対し相対的に走査して照射  
する帯精製法、又は複数の集光ランプの出射光を相前後して前記基体に対し相対  
的に走査する多重帯精製法によって前記集光ランプアニールを行う、請求項1又  
は2に記載した方法。

【請求項5】 前記基体又は前記集光ランプの出射光を位置固定しながら前  
記集光ランプの出射光又は前記基体を移動させる、請求項4に記載した方法。

【請求項6】 集光ランプの出射光を紫外光線と可視光線及び赤外光線とに  
分離し、これら可視光線及び赤外光線を前記紫外光線よりも前方位置に存在する  
ように、前記基体に対し前記可視光線及び赤外光線と前記紫外光線とを順次照射

する、請求項1又は2に記載した方法。

【請求項7】 前記集光ランプアニール時に前記基体の上又は下又は両方からに熱風を吹き付ける、請求項1又は2に記載した方法。

【請求項8】 前記低級結晶性半導体薄膜に触媒元素の少なくとも1種を適量含有させ、この状態で前記第2工程を行う、請求項1又は2に記載した方法。

【請求項9】 前記集光ランプアニールによって前記低級結晶性半導体薄膜を大粒径の多結晶性半導体薄膜に改質させる、請求項1又は2に記載した方法。

【請求項10】 前記基体において所定の素子形成予定領域に所定形状及び寸法の段差付き凹部を形成し、この凹部を含む前記基体上に、触媒元素の少なくとも1種を含有するか或いは含有しない前記低級結晶性半導体薄膜を形成した後、前記集光ランプアニールによって前記段差の底辺角部をシードにグラフォエピタキシャル成長させて前記低級結晶性半導体薄膜を単結晶性半導体薄膜に改質させる、請求項1又は2に記載した方法。

【請求項11】 前記基体において所定の素子形成予定領域に単結晶半導体と格子整合の良い結晶性サファイア等の物質層を形成し、この物質層上に、触媒元素の少なくとも1種を含有するか或いは含有しない前記低級結晶性半導体薄膜を形成した後、前記集光ランプアニールによって前記物質層をシードにヘテロエピタキシャル成長させて前記低級結晶性半導体薄膜を単結晶性半導体薄膜に改質させる、請求項1又は2に記載した方法。

【請求項12】 前記第1工程と前記第2工程とを少なくともこれら両工程の一体化装置によって連続的に若しくは順次行う、請求項1又は2に記載した方法。

【請求項13】 前記集光ランプアニールを再び行う前に、前記多結晶性半導体薄膜に対し水素又は水素含有ガスのプラズマ放電又は触媒反応で生成した水素系活性種を作用させて、前記多結晶性半導体薄膜の表面クリーニング及び／又は低級酸化被膜の除去を行い、かかる後に前記低級結晶性半導体薄膜の形成後に前記集光ランプアニールを行う、請求項3に記載した方法。

【請求項14】 前記集光ランプアニールを減圧水素中又は減圧水素含有ガス中又は真空中又は空气中又は大気圧窒素中で行う、請求項1又は2に記載した

方法。

【請求項15】 前記集光ランプアニール時に前記基体をその歪点以下の温度に加熱する、請求項1又は2に記載した方法。

【請求項16】 前記低級結晶性半導体薄膜上に保護用絶縁膜を形成し、この状態で空気中又は大気圧窒素中で前記集光ランプアニールを行う、請求項1又は2に記載した方法。

【請求項17】 前記基体上に形成された前記低級結晶性半導体薄膜に対し、又は保護用絶縁膜を被覆して、前記低級結晶性半導体薄膜のランプ光照射で前記集光ランプアニールを行うに際し、その上面から又は下面から又は上面と下面から同時に前記ランプ光照射（但し、上面以外の場合は、基体は透明（400nm以下）の波長の光も透過すること。）を行う、請求項1又は2に記載した方法。

【請求項18】 前記低級結晶性半導体薄膜、又は前記保護用絶縁膜を被覆した前記低級結晶性半導体薄膜はアイランド化されたものである、請求項17に記載した方法。

【請求項19】 大気圧窒素中又は空気中で前記ランプ光照射を行う、請求項17に記載した方法。

【請求項20】 減圧水素ガス中又は減圧水素含有ガス中又は真空中で前記ランプ光照射を行う、請求項17に記載した方法。

【請求項21】 磁場及び／又は電場の作用下で前記集光ランプアニールを行う、請求項1又は2に記載した方法。

【請求項22】 前記低級結晶性半導体薄膜がアモルファスシリコン膜、微結晶シリコン含有アモルファスシリコン膜、微結晶シリコン（アモルファスシリコン含有微結晶シリコン）膜、アモルファスシリコン及び微結晶シリコン含有多結晶シリコン膜、アモルファスゲルマニウム膜、微結晶ゲルマニウム含有アモルファスゲルマニウム膜、微結晶ゲルマニウム（アモルファスゲルマニウム含有微結晶ゲルマニウム）膜、アモルファスゲルマニウム及び微結晶ゲルマニウム含有多結晶ゲルマニウム膜、 $Si_xGe_{1-x}$  ( $0 < x < 1$ ) で示されるアモルファスシリコンゲルマニウム膜、アモルファスカーボン膜、微結晶カーボン含有アモルフ

アスカーボン膜、微結晶カーボン（アモルファスカーボン含有微結晶カーボン）膜、アモルファスカーボン及び微結晶カーボン含有多結晶カーボン膜、 $Si_xC_1$   
 $-x$  ( $0 < x < 1$ ) で示されるアモルファシリコンカーボン膜、又は $Ga_xAs_1$   
 $-x$  ( $0 < x < 1$ ) で示されるアモルファスガリウムヒ素膜からなる、請求項1又  
 は2に記載した方法。

【請求項23】 前記多結晶性又は単結晶性半導体薄膜によって、薄膜絶縁  
 ゲート型電界効果トランジスタのチャンネル、ソース及びドレイン領域、又はダ  
 イオード、配線、抵抗、容量又は電子放出体等を形成する、請求項1又は2に記  
 載した方法。

【請求項24】 前記チャンネル、ソース及びドレイン領域、ダイオード、  
 抵抗、容量、配線、電子放出体等の形成のために前記低級結晶性半導体薄膜をパ  
 ターニング（アイランド化）した後に、前記集光ランプアニールを行う、請求項  
 23に記載した方法。

【請求項25】 シリコン半導体装置、シリコン半導体集積回路装置、シリ  
 コンーゲルマニウム半導体装置、シリコンーゲルマニウム半導体集積回路装置、  
 化合物半導体装置、化合物半導体集積回路装置、炭化ケイ素半導体装置、炭化ケ  
 イ素半導体集積回路装置、多結晶性ダイヤモンド半導体装置、多結晶性ダイヤモ  
 ンド半導体集積回路装置、液晶表示装置、有機又は無機エレクトロルミネンス  
 (EL) 表示装置、フィールドエミッショナディスプレイ (FED) 装置、発光  
 ポリマー表示装置、発光ダイオード表示装置、CCDエリア／リニアセンサ装置  
 、CMOSセンサ装置、太陽電池装置用の薄膜を製造する、請求項1又は2に記  
 載した方法。

【請求項26】 内部回路及び周辺回路を有する半導体装置、電気光学表示  
 装置、固体撮像装置等の製造に際し、これらの回路の少なくとも一方を構成する  
 薄膜絶縁ゲート型電界効果トランジスタのチャンネル、ソース及びドレイン領域  
 を前記多結晶性又は単結晶性半導体薄膜によって形成する、請求項25に記載  
 した方法。

【請求項27】 各色用の有機又は無機エレクトロルミネンス層の下層に  
 それぞれ、前記薄膜絶縁ゲート型電界効果トランジスタのドレイン又はソースと

接続された陰極又は陽極を有する、請求項26に記載した方法。

【請求項28】 前記薄膜絶縁ゲート型電界効果トランジスタ及びダイオードを含む能動素子上も前記陰極が覆い、或いは前記各色用の有機又は無機エレクトロルミネセンス層の各層上及び各層間の全面に前記陰極又は陽極が被着されている装置を製造する、請求項27に記載した方法。

【請求項29】 前記各色用の前記有機又は無機エレクトロルミネセンス層間にブラックマスク層を形成する、請求項27に記載した方法。

【請求項30】 フィールドエミッショニスプレイ装置のエミッタを、前記多結晶性又は単結晶性半導体薄膜を介して前記薄膜絶縁ゲート型電界効果トランジスタのドレインに接続すると共に前記多結晶性又は単結晶性半導体薄膜上に成長されたn型多結晶性半導体膜又は多結晶性ダイヤモンド膜によって形成する、請求項26に記載した方法。

【請求項31】 前記薄膜絶縁ゲート型電界効果トランジスタ及びダイオードを含む能動素子上に絶縁膜を介してアース電位の金属遮蔽膜を形成する、請求項30に記載した方法。

【請求項32】 前記金属遮蔽膜を前記フィールドエミッショニスプレイ装置のゲート引き出し電極と同一材料で同一工程により形成する、請求項31に記載した方法。

【請求項33】 基体上に多結晶性又は単結晶性半導体薄膜を形成するための装置であって、

前記基体上に低級結晶性半導体薄膜を形成するための第1手段と、前記低級結晶性半導体薄膜に集光ランプアニールを施して、溶融又は半溶融又は非溶融状態の加熱と冷却により前記低級結晶性半導体薄膜の結晶化を促進する第2手段と  
を有する、半導体薄膜の形成装置。

【請求項34】 基体上に多結晶性又は単結晶性半導体薄膜を有する半導体装置を製造するための装置であって、

前記基体上に低級結晶性半導体薄膜を形成するための第1手段と、前記低級結晶性半導体薄膜に集光ランプアニールを施して、溶融又は半溶融

又は非溶融状態の加熱と冷却により前記低級結晶性半導体薄膜の結晶化を促進する第2手段と

を有する、半導体装置の製造装置。

【請求項35】 前記第1手段と前記第2手段とが繰り返し使用される、請求項33又は34に記載した装置。

【請求項36】 集光ランプ出射光を前記基体に対し相対的に走査して照射する帯精製法、又は複数の集光ランプ出射光を相前後して前記基体に対し相対的に走査する多重帯精製法によって前記集光ランプアニールが行われる、請求項33又は34に記載した装置。

【請求項37】 前記基体又は前記集光ランプの出射光が位置固定されながら前記集光ランプの出射光又は前記基体が移動される、請求項36に記載した装置。

【請求項38】 集光ランプの出射光が紫外光線と可視光線及び赤外光線とに分離され、これら可視光線及び赤外光線が前記紫外光線よりも前方位置に存在するように、前記基体に対し前記可視光線及び赤外光線と前記紫外光線とが順次照射される、請求項33又は34に記載した装置。

【請求項39】 前記集光ランプアニール時に前記基体の上又は下又は両方から熱風が吹き付けられる、請求項33又は34に記載した装置。

【請求項40】 前記低級結晶性半導体薄膜に触媒元素の少なくとも1種を適量含有させるための手段を有する、請求項33又は34に記載した装置。

【請求項41】 前記第1手段と前記第2手段とが少なくともこれら両手段の一体化装置に組み込まれ、連続的に若しくは順次使用される、請求項33又は34に記載した装置。

【請求項42】 前記集光ランプアニールを再び行う前に、前記多結晶性半導体薄膜に対し水素又は水素含有ガスのプラズマ放電又は触媒反応で生成した水素系活性種を作用させて、前記多結晶性半導体薄膜の表面クリーニング及び／又は低級酸化被膜の除去を行う手段を有する、請求項35に記載した装置。

【請求項43】 前記集光ランプアニールが減圧水素中又は減圧水素含有ガス中又は真空中又は空气中又は大気圧窒素中で行われる、請求項33又は34に

記載した方法。

【請求項44】 前記集光ランプアニール時に前記基体がその歪点以下の温度に加熱される、請求項33又は34に記載した装置。

【請求項45】 前記低級結晶性半導体薄膜上に保護用絶縁膜が形成され、この状態で空気中又は大気圧窒素中で前記集光ランプアニールが行われる、請求項33又は34に記載した装置。

【請求項46】 前記基体上に形成された前記低級結晶性半導体薄膜に対し、又は保護用絶縁膜を被覆して、前記低級結晶性半導体薄膜のランプ光照射で前記集光ランプアニールを行うに際し、その上面から又は下面から又は上面と下面から同時に前記ランプ光照射（但し、上面以外の場合は、基体は透明（400nm以下の波長の光も透過すること。））が行われる、請求項33又は34に記載した装置。

【請求項47】 前記低級結晶性半導体薄膜、又は前記保護用絶縁膜を被覆した前記低級結晶性半導体薄膜はアイランド化されたものである、請求項46に記載した装置。

【請求項48】 大気圧窒素中又は空気中で前記ランプ光照射が行われる、請求項46に記載した装置。

【請求項49】 減圧水素ガス中又は減圧水素含有ガス中又は真空中で前記ランプ光照射が行われる、請求項46に記載した装置。

【請求項50】 磁場及び／又は電場の作用下で前記集光ランプアニールが行われる、請求項33又は34に記載した装置。

【請求項51】 前記低級結晶性半導体薄膜がアモルファスシリコン膜、微結晶シリコン含有アモルファスシリコン膜、微結晶シリコン（アモルファスシリコン含有微結晶シリコン）膜、アモルファスシリコン及び微結晶シリコン含有多結晶シリコン膜、アモルファスゲルマニウム膜、微結晶ゲルマニウム含有アモルファスゲルマニウム膜、微結晶ゲルマニウム（アモルファスゲルマニウム含有微結晶ゲルマニウム）膜、アモルファスゲルマニウム及び微結晶ゲルマニウム含有多結晶ゲルマニウム膜、 $Si_xGe_{1-x}$  ( $0 < x < 1$ ) で示されるアモルファスシリコンゲルマニウム膜、アモルファスカーボン膜、微結晶カーボン含有アモルフ

アスカーボン膜、微結晶カーボン（アモルファスカーボン含有微結晶カーボン）膜、アモルファスカーボン及び微結晶カーボン含有多結晶カーボン膜、 $Si_xC_1-x$  ( $0 < x < 1$ ) で示されるアモルファスシリコンカーボン膜、又は $Ga_xAs_1-x$  ( $0 < x < 1$ ) で示されるアモルファスガリウムヒ素膜からなる、請求項33又は34に記載した装置。

【請求項52】 前記多結晶性又は単結晶性半導体薄膜によって、薄膜絶縁ゲート型電界効果トランジスタのチャンネル、ソース及びドレイン領域、又はダイオード、配線、抵抗、容量又は電子放出体等が形成される、請求項33又は34に記載した装置。

【請求項53】 前記チャンネル、ソース及びドレイン領域、ダイオード、抵抗、容量、配線、電子放出体等の形成のために前記低級結晶性半導体薄膜がパターニング（アイランド化）された後に、前記集光ランプアニールが行われる、請求項52に記載した装置。

【請求項54】 シリコン半導体装置、シリコン半導体集積回路装置、シリコングルマニウム半導体装置、シリコングルマニウム半導体集積回路装置、化合物半導体装置、化合物半導体集積回路装置、炭化ケイ素半導体装置、炭化ケイ素半導体集積回路装置、多結晶性ダイヤモンド半導体装置、多結晶性ダイヤモンド半導体集積回路装置、液晶表示装置、有機又は無機エレクトロルミネンス（EL）表示装置、フィールドエミッショントライスプレイ（FED）装置、発光ポリマー表示装置、発光ダイオード表示装置、CCDエリア／リニアセンサ装置、CMOSセンサ装置、太陽電池装置用の薄膜を製造する、請求項33又は34に記載した装置。

【請求項55】 内部回路及び周辺回路を有する半導体装置、電気光学表示装置、固体撮像装置等の製造に際し、これらの回路の少なくとも一方を構成する薄膜絶縁ゲート型電界効果トランジスタのチャンネル、ソース及びドレイン領域を前記多結晶性又は単結晶性半導体薄膜によって形成する、請求項54に記載した装置。

【請求項56】 各色用の有機又は無機エレクトロルミネンス層の下層にそれぞれ、前記薄膜絶縁ゲート型電界効果トランジスタのドレイン又はソースと

接続された陰極又は陽極を有する装置を製造する、請求項55に記載した装置。

【請求項57】 前記薄膜絶縁ゲート型電界効果トランジスタ及びダイオードを含む能動素子上も前記陰極が覆い、或いは前記各色用の有機又は無機エレクトロルミネセンス層の各層上及び各層間の全面に前記陰極又は陽極が被着されている装置を製造する、請求項56に記載した装置。

【請求項58】 前記各色用の前記有機又は無機エレクトロルミネセンス層間にブラックマスク層を形成する、請求項56に記載した装置。

【請求項59】 フィールドエミッショントransistor装置のエミッタを、前記多結晶性又は単結晶性半導体薄膜を介して前記薄膜絶縁ゲート型電界効果トランジスタのドレインに接続すると共に前記多結晶性又は単結晶性半導体薄膜上に成長されたn型多結晶性半導体膜又は多結晶性ダイヤモンド膜によって形成する、請求項55に記載した装置。

【請求項60】 前記薄膜絶縁ゲート型電界効果トランジスタ及びダイオードを含む能動素子上に絶縁膜を介してアース電位の金属遮蔽膜を形成する、請求項59に記載した装置。

【請求項61】 前記金属遮蔽膜を前記フィールドエミッショントransistor装置のゲート引き出し電極と同一材料で同一工程により形成する、請求項60に記載した装置。

【請求項62】 各色用の有機又は無機エレクトロルミネセンス層の下層にそれぞれ、請求項1又は2に記載した多結晶性又は単結晶性半導体薄膜からなる薄膜絶縁ゲート型電界効果トランジスタのドレイン又はソースと接続された陰極又は陽極を有し、前記薄膜絶縁ゲート型電界効果トランジスタ及びダイオードを含む能動素子上も前記陰極が覆い、或いは前記各色用の有機又は無機エレクトロルミネセンス層の各層上及び各層間の全面に前記陰極又は陽極が被着されている電気光学装置。

【請求項63】 前記各色用の前記有機又は無機エレクトロルミネセンス層間にブラックマスク層が形成されている、請求項62に記載した電気光学装置。

【請求項64】 フィールドエミッショントransistor装置のエミッタが、請求項1又は2に記載した多結晶性又は単結晶性半導体薄膜からなる薄膜絶縁ゲ

ート型電界効果トランジスタのドレインに前記多結晶性又は単結晶性半導体薄膜を介して接続されると共に前記多結晶性又は単結晶性半導体薄膜上に成長されたn型多結晶性半導体膜又は多結晶性ダイヤモンド膜によって形成されている電気光学装置。

【請求項65】 前記薄膜絶縁ゲート型電界効果トランジスタ及びダイオードを含む能動素子上に絶縁膜を介してアース電位の金属遮蔽膜が形成されている、請求項64に記載した電気光学装置。

【請求項66】 前記遮蔽膜が前記フィールドエミッショニスプレイ装置のゲート引き出し電極と同一材料で同一工程により形成される、請求項65に記載した電気光学装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、基体上に多結晶性シリコンなどの半導体薄膜を形成する方法及びその装置、その半導体薄膜を基体上に有する半導体装置の製造方法及びその装置、並びに電気光学装置に関するものである。

【0002】

【従来の技術】

従来、MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) である例えばMOSTFT (Thin Film Transistor=薄膜絶縁ゲート型電界効果トランジスタ) のソース、ドレイン及びチャンネル領域を多結晶シリコン膜で形成するに際し、プラズマCVD (CVD: Chemical Vapor Deposition=化学的気相成長法) や減圧CVD法、触媒CVD法等の気相成長法、固相成長法、液相成長法、エキシマレーザーアニール法等が用いられている。

【0003】

プラズマCVD法、減圧CVD法等により形成したアモルファス又は微結晶シリコン膜は、特開平7-131030号、特開平9-116156号、特公平7-118443号にみられるように、単に高温アニール又はエキシマレーザーアニール (ELA: Excimer Laser Anneal) 処理することにより、多結晶シリコン

膜化でキャリア移動度の改善を図ってきたが、この方法では  $80 \sim 120 \text{ cm}^2/\text{V} \cdot \text{sec}$  程度のキャリア移動度を得るのが限界であった。

#### 【0004】

しかし、プラズマCVD法によるアモルファスシリコンのELAで得られた多結晶シリコン膜を用いるMOS TFTの電子移動度は、 $100 \text{ cm}^2/\text{V} \cdot \text{sec}$  前後であり、高精細化にも対応できるので、最近は駆動回路一体型の多結晶シリコンMOS TFTを用いたLCD (Liquid Crystal Display=液晶表示装置) が注目されている（特開平6-242433号参照）。エキシマレーザーアニール法は、XeClエキシマレーザー等の短波長、短パルスレーザーを試料に照射して短時間に溶融結晶化する方法であるが、アモルファスシリコン膜へのレーザー光照射によりガラス基板を損傷させることなく多結晶化でき、高スループットが期待される。

#### 【0005】

##### 【発明が解決しようとする課題】

しかし、上記したELAによる多結晶シリコンMOS TFTの製法では、結晶化速度が  $n \text{ sec}$  オーダーと早いために、得られる結晶粒径はせいぜい  $100 \text{ nm}$  程度である。そのために、短波長、短パルスレーザー照射時に、基板温度を  $400^\circ\text{C}$  程度に加熱して、結晶成長を阻害する水素、酸素を十分に除去し、凝固速度を制御する方法でも粒径が  $500 \text{ nm}$  以上の結晶は難しい。そこで、レーザー照射回数を数回以上、例えば5回、30回以上として結晶成長を起こさせるエネルギーを十分に与え、大粒径多結晶シリコン膜化が行われている。しかし、エキシマレーザー出力の安定性や、生産性、大型化による装置価格の上昇、歩留／品質低下等の問題が山積しており、特に、 $1 \text{ m} \times 1 \text{ m}$  の大型ガラス基板になると、前記の問題が拡大して性能／品質向上とコストダウンが一層難しくなる。

#### 【0006】

最近、特開平11-97353号等にみられるように、 $450 \sim 600^\circ\text{C}$ 、4～12時間の加熱処理で、結晶化を助長する触媒元素（Ni、Fe、Co等）を非晶質シリコン膜内に拡散させて、結晶性シリコン膜を形成する方法が提案されている。しかし、この方法では、触媒元素が形成された結晶性シリコン膜に残存

するので、特開平8-339960号等にみられるように、この触媒元素を除去（ゲッタリング）するために、塩素などのハロゲン元素を含有する雰囲気で加熱処理する方法、リンを結晶性シリコン膜に選択的に添加して加熱処理する方法、触媒元素を含有する結晶性シリコン膜をレーザ光又は強光で照射して触媒元素を拡散し易い状態にして、選択的に添加した元素で触媒元素を吸い取らせる方法等が提案されているが、工程が複雑、ゲッタリング効果が十分ではなく、シリコン膜の半導体特性を損ない、作製する素子の安定性、信頼性が損なわれてしまう。

## 【0007】

また、固相成長法による多結晶シリコンMOSFETの製法では、600℃以上での十数時間のアニールと、約1000℃での熱酸化のゲートSiO<sub>2</sub>の形成が必要なために、半導体製造装置を採用せざるを得ない。このために、基板サイズは、ウエーハサイズ8～12インチφが限界であり、また高耐熱性で高価な石英ガラスを採用しなければならず、コストダウンが難しく、EVFやデータ/AVプロジェクタに用途が限定されている。

## 【0008】

近時、ガラス基板のような絶縁性基板上に、多結晶シリコン膜、窒化シリコン膜等を低温で作製し得る優れた熱CVDである触媒CVD法が開発され（特公昭63-40314号、特公平8-250438号参照）、実用化の検討が推進されている。触媒CVD法においては、結晶化アニールなしで、30cm<sup>2</sup>/V·sec程度のキャリア移動度を得ているが、良質なMOSFETデバイスを作製するにはまだ不十分である。そして、ガラス基板上に多結晶シリコン膜を形成すると、成膜条件次第では初期のアモルファスシリコンの転移層（厚さ5～10nm）が形成されやすいので、ボトムゲート型MOSFETとした場合は所望のキャリア移動度は得にくい。一般に駆動回路一体型の多結晶シリコンMOSFETを用いたLCDは、ボトムゲート型MOSFETが歩留及び生産性の面で製造し易いが、この問題がネックとなってくる。

## 【0009】

本発明の目的は、高結晶化率で高品質の多結晶シリコン等の多結晶性又は単結晶性半導体薄膜を容易かつ低成本に、しかも大面積に形成可能な方法と、この

方法を実施する装置を提供することにある。

【0010】

本発明の他の目的は、こうした多結晶性又は単結晶性半導体薄膜を構成部分として有するMOSFET等の半導体装置の製造方法と、この方法を実施する装置及び電気光学装置を提供することにある。

【0011】

【課題を解決するための手段】

即ち、本発明は、基体上に多結晶性又は単結晶性半導体薄膜を形成し、或いは基体上に多結晶性又は単結晶性半導体薄膜を有する半導体装置を製造する際、

前記基体上に低級結晶性半導体薄膜を形成する第1工程と、

前記低級結晶性半導体薄膜に集光ランプアニールを施して、溶融又は半溶融又は非溶融状態の加熱と冷却により前記低級結晶性半導体薄膜の結晶化を促進する第2工程と

を有する、半導体薄膜の形成方法、又は半導体装置の製造方法に係るものである。

【0012】

また、本発明は、本発明の方法を実施する装置として、

前記基体上に低級結晶性半導体薄膜を形成するための第1手段と、

前記低級結晶性半導体薄膜に集光ランプアニールを施して、溶融又は半溶融又は非溶融状態の加熱と冷却により前記低級結晶性半導体薄膜の結晶化を促進する第2手段と

を有する、多結晶半導体薄膜の形成装置、又は半導体装置の製造装置を提供するものである。

【0013】

また、本発明は、各色用の有機又は無機エレクトロルミネセンス層の下層にそれぞれ、前記多結晶性又は単結晶性半導体薄膜からなるMOSFETのドレイン又はソースと接続された陰極又は陽極を有し、前記MOSFET及びダイオードを含む能動素子上も前記陰極が覆い、或いは前記各色用の有機又は無機エレクトロルミネセンス層の各層上及び各層間の全面に共通の前記陰極又は陽極が被着さ

れている電気光学装置を提供するものである。

【0014】

また、本発明は、フィールドエミッショニスプレイ（FED）のエミッタが、前記多結晶性又は単結晶性半導体薄膜からなるMOSFETのドレインに前記多結晶性又は単結晶性半導体薄膜を介して接続されると共に前記多結晶性又は単結晶性半導体薄膜上に成長されたn型多結晶性半導体膜又は多結晶性ダイヤモンド膜によって形成されている電気光学装置も提供するものである。

【0015】

本発明によれば、基体上に低級結晶性半導体薄膜を形成し、この低級結晶性半導体薄膜に集光ランプアニールを施して、溶融又は半溶融又は非溶融状態の加熱と冷却により前記低級結晶性半導体薄膜の結晶化を促進して、多結晶性又は単結晶性半導体薄膜を形成しているので、次の（1）～（10）に示す顕著な作用効果が得られる。

【0016】

（1）超高压水銀ランプ等のランプ光を任意の形状に集光整形して照射して、アモルファスシリコン膜等の低級結晶性半導体薄膜を溶融又は半溶融状態に加熱し或いは非溶融状態で加熱し、冷却させて結晶化する、いわゆる集光ランプアニールにより、高い照射エネルギーを低級結晶性半導体薄膜に与え、これを溶融又は半溶融状態に加熱し或いは非溶融状態で加熱し、冷却することにより、大粒径の高キャリア移動度、高品質の多結晶性シリコン膜等の多結晶性又は単結晶性半導体薄膜が得られ、生産性が大幅に向上し、大幅なコストダウンが可能となる。

【0017】

（2）集光ランプアニールは、上記加熱帯を移動させながら行う、いわゆる帯精製法により、結晶化助長のために予め添加され、その役割を終えたNi等の触媒元素やその他の不純物元素が高温の溶融帯に偏析するので、容易に除去でき、膜中に残存することがないため、大粒径での高キャリア移動度、高品質（高純度）の多結晶半導体薄膜が得られ易い。さらに、このときに、複数のランプ光照射により連続して溶融帯と冷却部を繰り返す、いわゆる多重帯精製法により、さらなる大粒径、高品質（高純度）の多結晶半導体薄膜が得られる。この高純度化によ

り、半導体特性が損なわれることがなくなり、作製する素子の安定性、信頼性が向上する。そして、集光ランプアニールでの帯精製法又は多重帯精製法という簡単なプロセスにより、結晶化助長の役割が終わった触媒元素やその他の元素が効率良く除去されるので、工数削減によるコストダウンが可能となる。

## 【0018】

(3) 集光ランプスキャニング方向に多結晶性シリコン等の結晶粒が揃うので、この方向にTFTを形成することにより、結晶粒界の不整及びストレスが低減し、高移動度の多結晶性シリコン膜等を形成できる。

## 【0019】

(4) 集光ランプアニールの帯精製法又は多重帯精製法により結晶化させた多結晶性シリコン等の膜上に低級結晶性シリコン等の膜を積層し、再度この集光ランプアニールで結晶化する方法を繰り返すことにより、 $\mu$ m単位の厚みで大粒径での高キャリア移動度、高品質の多結晶性シリコン膜等を積層形成できる。これにより、MOSLSIのみならず、高性能、高品質のバイポーラLSI、CMOSセンサ、CCDエリア／リニアセンサ、太陽電池等も形成できる。

## 【0020】

(5) 集光ランプのランプ光は、紫外線又は赤外線ランプ等であれ、連続した光を線状、長方形状又は正方形状に集光整形して、照射することが容易であり、ビーム径及びスキャニングピッチなどを自由に設定でき、照射強度、つまり溶融効率及びスループット向上でのコストダウンが図れる。

## 【0021】

(6) 集光ランプアニール装置のランプは、その波長、照射強度、照射時間等のコントロールが容易であり、しかも基板又はランプを任意の速度で移動させて加熱溶融及び冷却速度をコントロールすることにより、任意の結晶粒と任意の純度の多結晶性シリコン膜等が得られる。

## 【0022】

(7) 集光ランプアニール装置のランプはエキシマレーザーアニール装置のエキシマレーザー発振器に比べてはるかに安価であるので、大幅なコストダウンが可能である。

## 【0023】

(8) 集光ランプアニール処理、特に超高压水銀ランプ等の集光ランプアニールでは、例えばXeC1（波長308nm）エキシマレーザーと同じ波長を連続照射できるので、照射面のエネルギー分布のばらつき、得られた結晶化半導体膜のばらつき、TFTごとの素子特性のばらつきが少なく、高いスループットでの高生産性によるコストダウンが可能である。

## 【0024】

(9) 集光ランプアニールでは低温（200～400℃）で適用できるので、安価であって大型化が容易な低歪点ガラスや耐熱性樹脂を採用でき、軽量化とコストダウンを図れる。

## 【0025】

(10) トップゲート型のみならず、ボトムゲート型、デュアルゲート型MOS TFTでも、高いキャリア移動度の多結晶性半導体膜又は単結晶性半導体膜等が得られるために、この高性能の半導体膜を使用した高速、高電流密度の半導体装置、電気光学装置、更には高効率の太陽電池等の製造が可能となる。例えば、シリコン半導体装置、シリコン半導体集積回路装置、シリコンーゲルマニウム半導体装置、シリコンーゲルマニウム半導体集積回路装置、炭化ケイ素半導体装置、炭化ケイ素半導体集積回路装置、化合物半導体（GaAs等）装置、化合物半導体（GaAs等）集積回路装置、多結晶性ダイヤモンド半導体装置、多結晶性ダイヤモンド半導体集積回路装置、液晶表示装置、エレクトロルミネンス（有機／無機）表示装置、フィールドエミッショントライスプレイ（FED）装置、発光ポリマー表示装置、発光ダイオード表示装置、光センサー装置、CCDエリア／リニアセンサ装置、CMOSセンサ装置、太陽電池装置等が製造可能である。

## 【0026】

なお、本発明において、上記の低級結晶性半導体薄膜とは、後述の定義のように微結晶（グレインサイズでは通常、10nm以下）も含有するアモルファス（非晶質）をベースとした構造から主としてなり、上記の多結晶性半導体薄膜は、こうしたアモルファス成分が除去された大粒径（グレインサイズでは通常、数100nm以上）の多結晶をベースとし、微結晶も含有する構造から主としてなる

。また、上記の単結晶性半導体膜は、単結晶シリコン等の単結晶半導体はもちろん、単結晶化合物半導体（例えば単結晶ガリウムヒ素）や単結晶シリコン-ゲルマニウムを含む概念であり、単結晶性とは、亜粒界や転移を含有する単結晶についてもこれを含めた概念と定義する。また、上記の多結晶性ダイヤモンド膜は、アモルファス（非晶質）ダイヤモンドをほとんど含有せず、微結晶ダイヤモンド及び多結晶ダイヤモンドを含有する結晶性ダイヤモンド膜とする。

## 【0027】

## 【発明の実施の形態】

本発明においては、集光ランプの出射光を前記基体に対し相対的に走査して照射する帯精製法、又は複数の集光ランプの出射光を相前後して前記基体に対し相対的に走査する多重帯精製法によって前記集光ランプアニールを行うのがよい。この場合、前記基体又は前記集光ランプの出射光を位置固定しながら前記集光ランプの出射光又は前記基体を移動させることができる。

## 【0028】

例えば、集光ランプアニールによりアモルファスシリコン等の低級結晶性半導体薄膜を溶融又は半溶融状態とし、このシリコン溶融帯又は半溶融帯を移動（走査）させて冷却させる、いわゆる帯精製法により大粒径の多結晶性又は単結晶性半導体薄膜を形成することができる。

## 【0029】

この時に、触媒元素やその他の不純物元素は高温部に吸い出され（偏析）、冷却形成された大粒径の多結晶性又は単結晶性半導体薄膜中には残存しない。複数の集光ランプアニールにより高温部と冷却部を繰り返す、いわゆる多重帯精製法によりさらに大粒径で高純度の多結晶性又は単結晶性半導体薄膜が形成される。

## 【0030】

必要に応じてこの帯精製法又は多重帯精製法を繰り返すことにより積層して、ミクロン単位膜厚の多結晶性又は単結晶性半導体厚膜を形成してもよい。つまり、1回目の集光ランプアニールにより大粒径多結晶性又は単結晶性半導体膜を形成し、その上に低級結晶性半導体薄膜を積層形成し、2回目の集光ランプアニールにより大粒径多結晶性又は単結晶性半導体薄膜の積層形成し、必要回数繰り返

し、これによってミクロン単位膜厚の大粒径多結晶性又は単結晶性半導体膜を積層形成できる。

【0031】

このような積層時に、下地の大粒径多結晶性又は単結晶性半導体薄膜が次の集光ランプアニール時の結晶成長核となり、より結晶性の高い大粒径多結晶性又は単結晶性半導体膜が次々と積層形成するので、厚膜表面に近いほど、高結晶化率、高純度の大粒径多結晶性又は単結晶性半導体膜を積層形成できる。本発明では、こうした厚膜の半導体膜も本発明の「半導体薄膜」の概念に含まれるものとする。

【0032】

上記集光ランプアニールで使用可能なランプは、紫外光線（UV (Ultra-Violet Rays、以後UVと略す。)：近紫外光線、DUV (Deep Ultra-Violet Rays、以後DUVと略す。)：遠紫外光線) ランプ、可視光線ランプ、赤外光線ランプのいずれでもよく、基板の耐熱性により任意に選択できる。UV及びDUVランプは主に低温用でガラス基板に、赤外光線ランプは高温用で石英ガラス、結晶化ガラス等によい。又、照射する光を線状、長方形状、正方形状に集光整形して、溶融効率及びスループット向上を図る。UVランプには、高圧水銀ランプ、超高圧水銀ランプ、キセノンショートアークランプ等がある。DUVランプには、低圧水銀ランプ、キセノンマーキュリーランプ等がある。赤外光線ランプには、ハロゲンランプ、キセノンランプ、アークランプ等がある。

【0033】

また、集光ランプの出射光を紫外光線と可視光線及び赤外光線とに分離し、これら可視光線及び赤外光線を前記紫外光線よりも前方位置に存在するように、前記基体に対し前記可視光線及び赤外光線と前記紫外光線とを順次照射すると、低級結晶性半導体薄膜又は基板を予熱でき、また徐冷効果による結晶化促進に有利である。

【0034】

例えば、集光整形した超高圧水銀ランプの照射光を照射するときに、次のように行うことができる。

- (1) 集光整形した超高压水銀ランプの照射光をコールドハーフミラーにより、紫外光線と可視光線及び赤外光線に分離する。
- (2) この紫外光線はほぼ垂直に低級結晶性半導体薄膜に照射して、溶融又は半溶融状態とし、冷却させて結晶化させる。
- (3) この可視光線及び赤外光線は反射ミラーにより、低級結晶性半導体薄膜及び基板に照射して加熱する。

## 【0035】

この時は、低級結晶性半導体薄膜の効率の良い加熱溶融と基板の加熱のために

1. 可視光線及び赤外光線照射領域は紫外光線照射領域よりも大きく、かつ紫外光線照射領域を含む領域であること。
2. 可視光線及び赤外光線照射は、紫外光線照射位置よりも移動方向前方側に照射すること

がよい。以上の局部的加熱に、抵抗加熱ヒーター、赤外線ランプ等による基板全体の加熱を組み合わせるのがよい。

## 【0036】

また、前記集光ランプアニール時に前記基体に熱風を吹き付けるのもよい。即ち、基板温度の均一化及び安定化、膜及び基板ストレスの低減化、徐冷却促進等のために、例えば100～400℃の空気、又は不活性ガス（窒素ガス等）の熱風を基板裏面又は表面又は両面から吹き付けるのが望ましい。

## 【0037】

このような集光ランプアニール時に、抵抗加熱ヒーター、赤外線ランプ、レーザービームなどにより基板をその歪点以下の温度に加熱するのがよいが、例えば基板材質別に、ガラス基板では200～500℃、好ましくは300～400℃に加熱し、石英ガラス基板では200～800℃、好ましくは300～600℃に加熱する。

## 【0038】

集光ランプアニールする方法としては、次の方法がある。

- ①基板を固定し、例えば100×100mm正方形状に集光整形した紫外光線等

をガルバノメータスキャナで走査させてアニールする。

②例えば  $100 \times 100 \text{ mm}$  正方形に集光整形した紫外光線等を固定し、基板を高精度X-Y移動させてアニールする。

#### 【0039】

本発明において、上記の低級結晶性半導体薄膜は、触媒CVDやプラズマCVD、減圧CVD、スパッタリング等により形成させてよいが、気相成長させる場合には、使用する原料ガスは、水素化ケイ素又はその誘導体、水素化ケイ素又はその誘導体と水素、窒素、ゲルマニウム、炭素又は錫を含有するガスとの混合物、水素化ケイ素又はその誘導体と周期表第III族又は第V族元素からなる不純物を含有するガスとの混合物、水素化ケイ素又はその誘導体と水素、窒素、ゲルマニウム、炭素又は錫を含有するガスと周期表第III族又は第V族元素からなる不純物を含有するガスとの混合物等が挙げられる。

#### 【0040】

例えば、 $800 \sim 2000^\circ\text{C}$ （融点未満）の加熱触媒体に、水素系キャリアガスと原料ガスの少なくとも一部を接触させ、触媒反応又は熱分解反応によって発生したラジカル、イオン等の堆積種を $200 \sim 400^\circ\text{C}$ に加熱された基板上に堆積させ、低級結晶性半導体膜を形成する。又は、汎用のプラズマCVD、減圧CVD、スパッタリング法等により、 $200 \sim 400^\circ\text{C}$ に加熱された基板上に堆積させ、低級結晶性半導体薄膜を形成する。

#### 【0041】

こうして、アモルファスシリコン膜、微結晶シリコン含有アモルファスシリコン膜、微結晶シリコン（アモルファスシリコン含有微結晶シリコン）膜、アモルファスシリコン及び微結晶シリコン含有多結晶シリコン膜、アモルファスゲルマニウム膜、微結晶ゲルマニウム含有アモルファスゲルマニウム膜、微結晶ゲルマニウム（アモルファスゲルマニウム含有微結晶ゲルマニウム）膜、アモルファスゲルマニウム及び微結晶ゲルマニウム含有多結晶ゲルマニウム膜、 $\text{Si}_x\text{Ge}_{1-x}$  ( $0 < x < 1$ ) で示されるアモルファスシリコンゲルマニウム膜、アモルファスカーボン膜、微結晶カーボン含有アモルファスカーボン膜、微結晶カーボン（アモルファスカーボン含有微結晶カーボン）膜、アモルファスカーボン及び微結晶

カーボン含有多結晶カーボン膜、 $\text{Si}_x\text{C}_{1-x}$  ( $0 < x < 1$ ) で示されるアモルファスシリコンカーボン膜、又は $\text{Ga}_x\text{As}_{1-x}$  ( $0 < x < 1$ ) で示されるアモルファスガリウムヒ素膜からなる前記低級結晶性半導体薄膜を形成することができる。この低級結晶性半導体薄膜は、アモルファスをベースとし、また微結晶を含む場合には粒径が 10 nm 以下の微結晶が点在するのがよい。

## 【0042】

そして、この低級結晶性半導体薄膜の成長時又は成長後に、触媒元素 (Ni、Fe、Co、Ru、Rh、Pd、Os、Ir、Pt、Cu、Au、Ge、Pb、Sn) の少なくとも 1 種を適量 (合計が例えば  $10^{17} \sim 10^{20}$  atoms/cc) 含有させ、この状態で前記集光ランプアニールを行うと、この低級結晶性半導体薄膜が多結晶化されるときに、結晶化を促進して高キャリア移動度、高品質の多結晶性半導体薄膜が得られ易くなる。この触媒元素は、原料ガス中にガス成分として混合したり、或いはイオン注入又はイオンドーピングにより、低級結晶性半導体薄膜中に含有させることができる。

## 【0043】

また、集光ランプアニールは、加熱帯を移動させながら行う、いわゆる帶精製法により、結晶化助長のために予め添加され、その役割を終えた Ni 等の触媒元素やその他の不純物元素が高温の溶融帯に偏析するので、容易に除去でき、膜中に残存することができないため、大粒径での高キャリア移動度、高品質 (高純度) の多結晶半導体薄膜が得られ易い。さらに、このときに、複数のランプ光照射により連続して溶融帯と冷却部を繰り返す、いわゆる多重帶精製法により、さらなる大粒径、高品質 (高純度) の多結晶半導体薄膜が得られる。この高純度化により、半導体特性が損なわれることがなくなり、作製する素子の安定性、信頼性が向上する。そして、集光ランプアニールでの帶精製法又は多重帶精製法という簡単なプロセスにより、結晶化助長の役割が終わった触媒元素やその他の元素が効率良く除去されるので、工数削減によるコストダウンが可能となる。

## 【0044】

なお、本発明により形成した大粒径多結晶性又は単結晶性半導体膜中の酸素、窒素、炭素濃度はそれぞれ、 $1 \times 10^{19}$  atoms/cc 以下、好ましくは  $5 \times$

$10^{18}$  atoms/cc以下がよく、水素濃度は0.01原子%以上が好ましい。

#### 【0045】

前記集光ランプアニールによって前記低級結晶性シリコン等の低級結晶性半導体薄膜を大粒径の多結晶性シリコン等の多結晶性半導体薄膜に改質させるが、これ以外にも、前記基体において所定の素子形成予定領域に所定形状及び寸法の段差付き凹部を形成し、この凹部を含む前記基体上に、触媒元素の少なくとも1種を含有するか或いは含有しない前記低級結晶性シリコン薄膜を形成した後、前記集光ランプアニールによって前記段差の底辺角部をシードにグラフオエピタキシャル成長させると、前記低級結晶性シリコン薄膜を単結晶性シリコン薄膜に改質させることができる。

#### 【0046】

或いは、前記基体において所定の素子形成予定領域に単結晶シリコンと格子整合の良い結晶性サファイア等の物質層を形成し、この物質層上に、触媒元素の少なくとも1種を含有するか或いは含有しない前記低級結晶性シリコン薄膜を形成した後、前記集光ランプアニールによって前記物質層をシードにヘテロエピタキシャル成長させると、前記低級結晶性シリコン薄膜を単結晶性シリコン薄膜に改質させることができる。

#### 【0047】

そして、この集光ランプアニールと低級結晶性半導体薄膜の成膜とを繰り返すことにより、膜を積層して $\mu$ m単位の多結晶性又は単結晶性半導体厚膜を形成してもよい。つまり、1回目の集光ランプアニールで大粒径の多結晶性又は単結晶性半導体薄膜を形成し、その上に低級結晶性半導体薄膜を積層形成し、次にこの下地の大粒径多結晶性又は単結晶性半導体薄膜をシードに2回目の同様の集光ランプアニールにより大粒径多結晶性又は単結晶性半導体膜の積層形成することを必要回数繰り返して、 $\mu$ m単位の膜厚の大粒径多結晶又は単結晶性半導体膜を積層形成できる。このような積層時は、大粒径多結晶性又は単結晶性半導体膜をシードとして次々と積層形成するので、膜表面に近いほど高結晶化率、高純度の大粒径多結晶性又は単結晶性半導体膜を積層形成できる。この時は、各アニール後

の結晶化膜表面に低級酸化膜形成やコンタミ（不純物質）付着がないことが重要な要素となる。

【0048】

低級酸化膜形成及びコンタミ防止、生産性向上の面から、低級結晶性半導体薄膜形成工程又は手段（プラズマCVD、触媒CVD、スパッタなど）と、集光ランプアニール工程又はアニーラーとを一体化した装置とし、例えばインライン（連続チャンバ）方式（リニア型、回転型）、マルチチャンバ方式、クラスタ方式などによって連続的に若しくは順次に行うことが好ましい。

【0049】

これらのうち、次の（1）又は（2）のクラスタ方式がより好ましい。

（1）CVD部で低級結晶性半導体薄膜を形成した後、アニーラー部の集光ランプアニールで結晶化し、これをCVD部に戻してその上に低級結晶性半導体薄膜を形成し、再びアニーラー部の集光ランプアニールで結晶化を行う工程を繰り返すクラスタ方式一体化装置。

【0050】

（2）CVD-1部で下地保護膜（酸化シリコン／窒化シリコン積層膜等）を形成し、CVD-2部で低級結晶性半導体薄膜を形成した後、イオンドーピング／イオン注入部で触媒元素を添加してから、アニーラー部の集光ランプアニールで結晶化し、更にCVD-3部でゲート絶縁膜（酸化シリコン膜等）形成の作業を連続するクラスタ方式一体化装置。

【0051】

そして、この時に、集光ランプアニールを再び行う前に、前記多結晶性半導体薄膜に対し水素又は水素含有ガスのプラズマ放電又は触媒反応で生成した水素系活性種を作用させて（即ち、プラズマ又は触媒AHA（Atomic Hydrogen Anneal）処理によって）、前記多結晶性半導体薄膜の表面クリーニング及び／又は低級酸化被膜の除去を行い、かかる後に前記低級結晶性半導体薄膜の形成後に前記集光ランプアニールを行うことが望ましい。この場合（或いは他の場合も）、集光ランプアニールを特に、減圧水素中又は減圧水素含有ガス中又は真空中で行うことが望ましい。

## 【0052】

即ち、具体的には、次の（1）又は（2）の条件が好ましい。

（1）CVDによる成膜前に、原料ガスを流さないで水素系キャリアガスのみでプラズマ又は触媒AHA処理の水素系活性種（活性化水素イオン等）の作用により、1回目の集光ランプアニールで形成された多結晶性シリコン膜表面のコンタミ（低級酸化膜、水分、酸素、窒素、炭酸ガス等）を除去して界面をクリーニングし、残存するアモルファスシリコン成分をエッチングして高結晶化率の多結晶シリコン膜化するので、この下地をシードとしてクリーンな界面上に積層する低級結晶性シリコン膜は、次の集光ランプアニールにより、良好な結晶の大粒径多結晶性又は単結晶性半導体膜として積層形成される。

## 【0053】

（2）低級酸化膜及び窒化膜の形成防止のために、集光ランプアニールを減圧水素又は減圧水素系ガス雰囲気中又は真空中で行う。この雰囲気としては、水素、又は水素と不活性ガス（アルゴン、ヘリウム、クリプトン、キセノン、ネオン、ラドン）との混合ガスであり、ガス圧は1.33Pa以上で大気圧未満、好ましくは133Pa～ $4 \times 10^4$ Paである。真圧度は1.33Pa以上で大気圧未満、好ましくは13.3Pa～ $1.33 \times 10^4$ Paである。但し、低級結晶性半導体薄膜表面に絶縁性保護膜（酸化シリコン膜又は窒化シリコン膜、酸窒化シリコン膜又は酸化シリコン／窒化シリコン積層膜等）がある場合は、又は連続作業でない場合は、空气中、大気圧窒素中でもよい。

## 【0054】

集光ランプアニールを減圧水素又は減圧水素含有ガス中で行うと、雰囲気ガスを構成する、比熱が大きくて熱冷却効果の大きい気体分子が薄膜面に衝突し、離脱する際に薄膜の熱を奪うため、局部的に温度の低い部分を形成し、これによつて、この部分で結晶核が発生し、結晶の成長を促進することがある。このときの雰囲気ガスが水素ガス又は水素と不活性ガス（He、Ne、Ar等）の混合ガスであれば、そのガス圧を1.33Pa以上で大気圧未満、好ましくは133Pa～ $4 \times 10^4$ Paとするのがよいが、これは比熱の高い水素分子等の運動により上記の作用効果が確実に得られるからである。

## 【0055】

また、ランプ光の反射低減による溶融効率向上のために、前記低級結晶性半導体薄膜上に例えば酸化シリコン膜又は窒化シリコン膜又は酸窒化シリコン膜又は酸化シリコン／窒化シリコン積層膜などの絶縁性保護膜を適当な膜厚で形成し、この状態で前記集光ランプアニールを行うのがよい。例えば、前記基体上に形成された前記低級結晶性半導体薄膜に対し、又は保護用絶縁膜を被覆して、前記低級結晶性半導体薄膜のランプ光照射で前記集光ランプアニールを行うに際し、その上面から又は下面から又は上面と下面から同時に前記ランプ光照射を行うのがよい（但し、上面以外の場合は、基体は透明（400nm以下）の波長の光も透過すること。）。

## 【0056】

この場合、前記低級結晶性半導体薄膜、又は前記保護用絶縁膜を被覆した前記低級結晶性半導体薄膜はアイランド化されたものであること、大気圧窒素中又は空气中で前記ランプ光照射を行うこと、減圧水素ガス中又は減圧水素含有ガス中又は真空中で前記ランプ光照射を行うこと（これらは、他のランプ光照射条件下でも同様であってよい）がよい。

## 【0057】

基板温度上昇低減、膜ストレス低減、含有ガス（水素など）の瞬間的膨張による膜のクラック防止、徐冷却による大粒径化などのために、更に、前記の絶縁性保護膜を被覆した低級結晶性半導体薄膜はパターニングしてアイランド化した状態で、前記集光ランプアニールを行うのがよい。

## 【0058】

また、磁場及び／又は電場の作用下で前記集光ランプアニールを行うのがよい。

## 【0059】

即ち、一旦溶けた低級結晶性シリコン薄膜中のシリコン原子の電子スピンが電場と相互作用して一定の方向に向き、この状態から冷却により固化する際に、一定の方向性をもって結晶化することになる。これは、上記した磁場の場合と同様に、一定の方向に結晶粒が揃い、キャリア移動度が向上し、また表面の凹凸も減

少する。更には、ランプ照射光の照射効率も良好である。

#### 【0060】

また、上記の磁場と共に電場も同時に印加する場合、基板を収容した真空容器の周囲の永久磁石（これは電磁石でもよい。）による磁場と同時に、高周波電圧（又は直流電圧、或いはこれらの双方）を印加する電極による電場が同時に作用する条件で集光ランプアニールを行う。

#### 【0061】

この時に、一旦溶けた低級結晶性シリコン薄膜のシリコン原子の電子スピンが磁場と電場の相互作用で一定の方向に向き、この状態から冷却により固化する際に、磁場と電場の相乗作用により更に十分な方向性をもって結晶化することになる。従って、一定の方向に結晶粒が更に揃い易くなり、キャリア移動度が一層向上し、また表面の凹凸も一層減少する。更には、ランプ照射光の照射効率も良好である。

#### 【0062】

集光ランプアニール時に、基体をその歪点以下の温度、好ましくは400～450℃に加熱しておくと、アニール時に低級結晶性半導体膜の脱水素化、結晶性の均一化、膜及び基板ストレス低減化、照射エネルギーの効率向上、スループット向上等を図れる。

#### 【0063】

集光ランプアニールで得られた前記多結晶性又は単結晶性半導体薄膜によって、MOSFETのチャンネル、ソース及びドレイン領域、又は、ダイオード、配線、抵抗、容量又は電子放出体等を形成することができる。この場合、前記チャンネル、ソース及びドレイン領域、ダイオード、抵抗、容量、配線、電子放出体等の形成後に、これらの領域に対し、この集光ランプアニールを施すと、再結晶化と膜中のn型又はp型不純物の活性化を行える。また、上記領域をパターニング（アイランド化）した後に集光ランプアニールすると、温度上昇による基板ダメージ（クラック、割れなど）を防止でき、かつ急激な温度上昇による膜のひび割れを防止できる。

#### 【0064】

本発明は、シリコン半導体装置、シリコン半導体集積回路装置、シリコンーゲルマニウム半導体装置、シリコンーゲルマニウム半導体集積回路装置、化合物半導体装置、化合物半導体集積回路装置、炭化ケイ素半導体装置、炭化ケイ素半導体集積回路装置、多結晶性ダイヤモンド半導体装置、多結晶性ダイヤモンド半導体集積回路装置、液晶表示装置、有機又は無機エレクトロルミネセンス（E L）表示装置、フィールドエミッショナディスプレイ（F E D）装置、発光ポリマー表示装置、発光ダイオード表示装置、C C Dエリア／リニアセンサ装置、C M O S又はM O Sセンサ装置、太陽電池装置用の薄膜を形成するのに好適である。

#### 【0065】

例えば、この薄膜によりトップゲート型又はボトムゲート型又はデュアルゲート型M O S T F Tを形成し、またこのM O S T F Tによる周辺駆動回路、映像信号処理回路、メモリー等の一体型の液晶表示装置、有機E L表示装置、F E D表示装置等が得られる。

#### 【0066】

この場合、内部回路及び周辺回路を有する半導体装置、電気光学表示装置、固体撮像装置等の製造に際し、これらの回路の少なくとも一方を構成するM O S T F Tのチャンネル、ソース及びドレイン領域を前記多結晶性又は単結晶性半導体薄膜によって形成してよく、また周辺駆動回路、映像信号処理回路、メモリー等の一体型の構成とすることもできる。

#### 【0067】

また、各色用の有機又は無機エレクトロルミネセンス層（E L層）の下層にそれぞれ、前記M O S T F Tのドレイン又はソースと接続された陰極又は陽極を有するE L素子構造とするのがよい。

#### 【0068】

この場合、前記M O S T F T及びダイオード等の能動素子上も前記陰極が覆うようにすれば、陽極が上部にある構造では発光面積が増大すると共に、陰極の遮光作用で発光光が前記能動素子に入射してリーク電流を発生させることを防止できる。また、前記各色用の有機又は無機E L層の各層上及び各層間の全面に前記陰極又は陽極が被着されるようにすれば、全面が陰極又は陽極で覆われることに

より、湿気に弱い有機EL層の劣化や電極の酸化を防止して、長寿命、高品質、高信頼性が可能となり、また陰極で覆われると放熱効果が高まるので、発熱による有機EL薄膜の構造変化（融解あるいは再結晶化）が低減し、長寿命、高品質、高信頼性が可能となり、更にこれにより、高精度、高品質のフルカラーの有機EL層を生産性良く形成できるので、コストダウンが可能となる。

## 【0069】

また、前記各色用の前記有機又は無機EL層間にクロム、二酸化クロム等のブラックマスク層を形成すると、各色間又は画素間での光漏れを防ぎ、コントラストが向上する。

## 【0070】

本発明をフィールドエミッショナディスプレイ（FED）装置に適用するときは、そのエミッタ（電界放出カソード）を、前記多結晶性又は単結晶性半導体薄膜を介して前記MOSFTのドレインに接続すると共に前記多結晶性又は単結晶性半導体薄膜上に成長されたn型多結晶性半導体膜又は多結晶性ダイヤモンド膜によって形成するのがよい。

## 【0071】

この場合、前記MOSFT、ダイオード等の能動素子上に絶縁膜を介してアース電位の金属遮蔽膜（これは、前記FEDのゲート引き出し電極と同一材料で同一工程により形成すると、工程簡略化等の点で有利である。）を形成すると、気密容器内にあるガスがエミッタから放出された電子により正イオン化されて絶縁層上にチャージアップし、この正電荷が絶縁層下にある能動素子に不要な反転層を形成したり、この反転層を介して余分な電流が流れるために生じるエミッタ電流の暴走を防止することができる。また、エミッタから放出された電子の衝突により蛍光体が発光する際、この光によりMOSFTのゲートチャンネル内に電子、正孔が発生してリーク電流が生じることも防止できる。

## 【0072】

次に、本発明を好ましい実施の形態について更に詳細に説明する。

## 【0073】

第1の実施の形態

図1～図15について、本発明の第1の実施の形態を説明する。

【0074】

本実施の形態は、本発明をトップゲート型の多結晶性シリコンCMOS (Complementary MOS) TFTに適用したものである。

【0075】

＜触媒CVD法とその装置＞

まず、本実施の形態に用いる触媒CVD法について説明する。触媒CVD法においては水素系キャリアガスとシランガス等の原料ガスとからなる反応ガスを加熱されたタンゲステン等の触媒体に接触させ、これによって生成したラジカルな堆積種又はその前駆体及び活性化水素イオン等の水素系活性種に高いエネルギーを与え、基板上にアモルファスシリコン含有微結晶シリコン等の低級結晶性半導体薄膜を気相成長させる。

【0076】

この触媒CVDは、図5～図6に示す如き装置を用いて実施される。

【0077】

この装置によれば、水素系キャリアガスと水素化ケイ素（例えばモノシラン）等の原料ガス40（及び必要に応じて $B_2H_6$ や $PH_3$ 、 $SnH_4$ などのドーピングガスも含む。）からなるガスは、供給導管41からシャワーへッド42の供給口（図示せず）を通して成膜室44へ導入される。成膜室44の内部には、ガラス等の基板1を支持するためのサセプタ45と、耐熱性の良い（望ましくは触媒体46と同じか或いはそれ以上の融点を有する材質の）シャワーへッド42と、例えばコイル状のタンゲステン等の触媒体46と、更には開閉可能なシャッター47とがそれぞれ配されている。なお、図示はしないが、サセプタ45と成膜室44との間には磁気シールが施され、また、成膜室44は前工程を行なう前室に後続され、ターボ分子ポンプ等でバルブを介して排気される。

【0078】

そして、基板1はサセプタ45内のヒーター線等の加熱手段で加熱され、また触媒体46は例えば抵抗線として融点以下（特に800～2000℃、タンゲステンの場合は約1600～1800℃）に加熱されて活性化される。触媒体46

の両端子は直流又は交流の触媒体電源48に接続され、この電源からの通電により所定温度に加熱される。

#### 【0079】

触媒CVD法を実施するには、図5の状態で、成膜室44内の真空度を $1.3 \times 10^{-4} \sim 1.33 \times 10^{-6}$ Paとし、例えば水素系キャリアガス100~200 SCCMを供給して、触媒体を所定温度に加熱して活性化した後に、水素化ケイ素（例えばモノシラン）ガス1~20 SCCM（及び必要に応じて $B_2H_6$ や、 $PH_3$ 等のドーピングガスも適量含む。）からなる反応ガス40を供給導管41からシャワーヘッド42の供給口43を通して導入して、ガス圧を0.133~13.3Pa、例えば1.33Paとする。ここで、水素系キャリアガスは、水素、水素+アルゴン、水素+ヘリウム、水素+ネオン、水素+キセノン、水素+クリプトン等の、水素に不活性ガスを適量混合させたガスであれば、いずれでもよい（以下、同様）。

#### 【0080】

そして、図6のようにシャッター47を開け、原料ガス40の少なくとも一部を触媒体46と接触して触媒的に分解させ、触媒分解反応または熱分解反応によって、高エネルギーをもつシリコン等のイオン、ラジカル等の反応種の集団（即ち、堆積種又はその前駆体及びラジカル水素イオン）を形成する。こうして生成したイオン、ラジカル等の反応種50を高いエネルギーで200~800°C（例えば300~400°C）に保持された基板1上にアモルファスシリコン含有微結晶シリコン等の所定の膜として気相成長させる。

#### 【0081】

こうして、プラズマを発生することなく、反応種に対し、触媒体46の触媒作用とその熱エネルギーによる高いエネルギーを与えるので、反応ガスを効率良く反応種に変えて、基板1上に均一に熱CVDで堆積することができる。

#### 【0082】

また、基板温度を低温化しても堆積種のエネルギーが大きいために、目的とする良質の膜が得られることから、基板温度を更に低温化でき、大型で安価な絶縁基板（ほうけい酸ガラス、アルミノけい酸ガラス等のガラス基板、ポリイミド等

の耐熱性樹脂基板等）を使用でき、この点でもコストダウンが可能となる。

#### 【0083】

また、勿論のことであるが、プラズマの発生がないので、プラズマによるダメージがなく、低ストレスの生成膜が得られると共に、プラズマCVD法に比べ、はるかにシンプルで安価な装置が実現する。

#### 【0084】

この場合、減圧下（例えば0.133～1.33Pa）又は常圧下で操作を行なえるが、減圧タイプよりも常圧タイプの方がよりシンプルで安価な装置が実現する。そして、常圧タイプでも従来の常圧CVDと比べて密度、均一性、密着性のよい高品質膜が得られる。この場合も、減圧タイプよりも常圧タイプの方がスループットが大であり、生産性が高く、コストダウンが可能である。

#### 【0085】

上記の触媒CVDにおいて、触媒体46による副射熱のために、基板温度は上昇するが、上記のように、必要に応じて基板加熱用ヒーター51を設置してよい。また、触媒体46はコイル状（これ以外にメッシュ、ワイヤー、多孔板状もよい。）としているが、更にガス流方向に複数段（例えば2～3段）として、ガスとの接触面積を増やすのがよい。なお、このCVDにおいて、基板1をサセプタ45の下面においてシャワーヘッド42の上方に配しているので、成膜室44内で生じたパーティクルが落下して基板1又はその上の膜に付着することがない。

#### 【0086】

#### 〈集光ランプアニールとその装置〉

図7及び図8には、この集光ランプアニールを行う装置（アニーラー）の要部が例示されている。これによれば、図7において、例えば、主に波長308nm／10kW出力の超高圧水銀ランプ等203で構成する集光ランプの連続照射を行う（図中の204は集光反射部材、201は集光レンズである）。例えば不活性ガス（窒素等）中でエネルギー密度200～500mJ/cm<sup>2</sup>で基板1上のアモルファスシリコン又は微結晶シリコン膜等7Åを溶融又は半溶融状態とし、支持台202上に固定した基板1に対し照射光210を適当な速度で移動させる。或いは、図8のように、固定した照射光210に対して基板1を適当な速度で

移動させてこのシリコン溶融帯を移動させる。これらの方によって、例えばソース領域からゲート領域及びドレイン領域にシリコン溶融帯7Bを適当な速度で移動させて、ソース領域から自然冷却させて結晶化させる、いわゆる帯精製法（図7（1）、図8（3））により、大粒径多結晶性シリコン膜等7を形成する。

#### 【0087】

このときに、結晶化助長のために予め添加され、その役目が終わった触媒元素やその他の不純物元素が、シリコン溶融帯（又は半溶融帯）7Bに吸出され（偏析）、ランプ光照射位置の移動と共にその終端側へと追い出されて、結果として形成された多結晶性シリコン膜から除去（ゲッタリング）され、例えば触媒元素及び不純物元素濃度が $1 \times 10^{15}$  atoms/cc以下まで低減した高純度の大粒径多結晶性シリコン膜7が形成される。そして、ランプ照射位置の移動方向に多結晶性シリコンの結晶軸が揃うので、結晶粒界の不整が少なく、キャリア移動度を高くすることができる。

#### 【0088】

また、このときに、複数の集光ランプ照射により、連続してシリコン溶融又は半溶融と冷却を繰り返す、いわゆる多重帯精製法（図7（2）、図8（4））により、さらに高結晶化と触媒元素及びその他の不純物元素のゲッタリングを促進して高純度化を図ってもよい。この場合、結晶化帯7は（c）→（b）→（a）の順に高結晶化、高純度化される。

#### 【0089】

使用可能なランプ203からの照射光210には紫外光線と可視光線及び赤外光線があり、MOSFET製造プロセスの基板温度と希望する結晶粒径（キャリア移動度）に応じて使い分ける。

（1）ガラス基板では、発熱の少ない近紫外線（UV）ランプ、遠紫外線（DUV）ランプがよい。UVランプには、高圧水銀ランプ、超高压水銀ランプ、高圧キセノン水銀ランプ、キセノンショートアークランプ等がある。また、DUVランプには、低圧水銀ランプ、キセノンマーキュリーランプ等がある。

#### 【0090】

（2）石英ガラス、結晶化ガラス等の耐熱性ガラス基板では、すべてのランプが

使用可能である。赤外線ランプには、ハロゲンランプ、キセノンランプ、アークランプ等がある。UVランプには、高圧水銀ランプ、超高压水銀ランプ、キセノンショートアークランプ等がある。また、DUVランプには、低圧水銀ランプ、キセノンマーキュリーランプ等がある。

#### 【0091】

いずれのランプによるアニールでも、連続照射する光を線状（例えば、（500～600mm）×（1～100μm））、長方形状（例えば、（1～10mm）×（200～300mm））又は正方形状（例えば、100×100mm）に集光整形して照射することにより、照射強度、つまり溶融効率及びスループット向上が図れる。

#### 【0092】

そして、基板又はランプを任意の適当な速度、例えば1～100mm/minで移動させて、加熱溶融及び冷却速度をコントロールすることにより、任意の結晶粒径と任意の純度の多結晶性シリコン膜を形成してもよい。

#### 【0093】

このランプアニール条件（ランプの波長、照射強度、照射時間等）は、アモルファスシリコン等の低級結晶性シリコン膜厚及び膜質、ガラス耐熱温度、結晶粒径（キャリア移動度）により、最適化を適宜決定してもよい。

#### 【0094】

また、集光ランプアニール時には、基板温度の均一化及び安定化による結晶化膜の均一化、結晶化膜及び基板ストレス低減化、ランプ照射パワーの削減、徐冷却促進等のために、常温～400℃、好ましくは200～300℃の空気、又は不活性ガス（窒素ガス等）の熱風205を基板裏面又は表面又は両面よりノズル206から吹き付けると同時に、赤外線ランプ（ハロゲンランプ等）207で加熱するのがよい。ランプ照射光210と熱風205とは、上下対称位置で同期させるのがよい。

#### 【0095】

＜触媒CVD（又はプラズマCVDなど）と集光ランプアニールの連続処理＞  
コンタミ防止、生産性向上の面から、低級結晶性半導体薄膜形成工程又は手段

(プラズマCVD、触媒CVD、スパッタなど)と、集光ランプアニール又はアニーラーとを一体化した装置とし、例えばインライン(連続チャンバ)方式(リニア型、回転型)、マルチチャンバ方式、クラスタ方式などによって連続的に若しくは順次に行うことが好ましい。

#### 【0096】

次の(1)又は(2)のクラスタ方式がより好ましい。

(1) 例えば、図9に示すように、CVD部で低級結晶性半導体薄膜を形成した後、アニーラー部の集光ランプアニールで結晶化し、これをCVD部に戻してその上に低級結晶性半導体薄膜を形成し、再びアニーラー部の集光ランプアニールで結晶化を行う工程を繰り返すクラスタ方式一体化装置としてよい。図10(A)は、これをインライン方式としたものである。

#### 【0097】

(2) また、図11に示すように、CVD-1部で下地保護膜(酸化シリコン/窒化シリコン積層膜等)を形成し、CVD-2部で低級結晶性半導体薄膜を形成した後、必要に応じてイオンドーピング/イオン注入部でIV族元素を適量添加してから、アニーラー部の集光ランプアニールで結晶化し、更にCVD-3部でゲート絶縁膜(酸化シリコン膜等)形成の作業を連続するクラスタ方式一体化装置としてもよい。図10(B)は、これをインライン方式としたものである。

#### 【0098】

なお、CVD-1部で形成する酸化シリコン/窒化シリコン積層膜等は、トップゲート型MOSFETの下地保護膜、又はボトムゲート型MOSFETのボトムゲート絶縁膜兼保護膜となるものであってよく、またCVD-3部で形成する酸化シリコン膜又は酸化シリコン/窒化シリコン積層膜等は、トップゲート型MOSFETのゲート絶縁膜、又はボトムゲート型MOSFETの保護膜となるものであってよい。

#### 【0099】

また、上記のCVDは触媒CVD、プラズマCVD等であってよく、またこの代りにスパッタでもよい。CVDでは、成膜前にプラズマ又は触媒AHA処理するのがよい。例えば、プラズマCVDによる成膜前に、原料ガスを流さないで水

素系キャリアガスのみでプラズマA H A処理で発生した水素系活性種（活性化水素イオン等）の作用により、形成された多結晶性シリコン膜表面のコンタミ（低級酸化膜、水分、酸素、窒素、炭酸ガス等）を除去して界面をクリーニングし、残存するアモルファスシリコン成分をエッチングして高結晶化率の多結晶シリコン膜化するので、この下地層をシードとして、クリーンな界面上に積層する低級結晶性シリコン膜は、次の集光ランプアニールにより良好な結晶の大粒径多結晶性又は単結晶性半導体膜として積層形成される。

#### 【0100】

なお、酸化及び窒化防止のために、集光ランプアニールを減圧水素又は減圧水素系ガス雰囲気中又は真空中で行うのがよい。水素、又は水素と不活性ガス（アルゴン、ヘリウム、クリプトン、キセノン、ネオン、ラドン等）との混合ガスであり、ガス圧は1.33Pa以上で大気圧未満、好ましくは133Pa～4×10<sup>4</sup>Paである。真圧度は1.33Pa以上で大気圧未満、好ましくは13.3Pa～1.33×10<sup>4</sup>Paである。但し、低級結晶性半導体薄膜表面に絶縁性保護膜（酸化シリコン膜又は窒化シリコン膜又は酸窒化シリコン膜又は酸化シリコン／窒化シリコン積層膜など）がある場合、又は連続作業でない場合は、空气中、大気圧窒素中でもよい。

#### 【0101】

なお、上記の触媒CVD及び集光ランプアニールはいずれも、プラズマの発生なしに行えるので、プラズマによるダメージがなく、低ストレスの生成膜が得られ、またプラズマCVD法に比べ、シンプルで安価な装置を実現できる。

#### 【0102】

なお、集光ランプアニール時に、図12に示すように、低級結晶性シリコン膜7Åの表面を酸化シリコン膜又は窒化シリコン膜又は酸窒化シリコン膜又は酸化シリコン／窒化シリコン積層膜等の絶縁性保護膜235で被覆し、この状態で集光ランプアニールを行うと、そのように被覆された場合には目的とする多結晶性シリコン薄膜7が確実に形成される。しかし、被覆されない場合は、溶融したシリコンが飛散したり、表面張力によりシリコン粒が残存し、多結晶性シリコン膜が形成されないことがある。

## 【0103】

また、集光ランプアニールによる低級結晶性半導体薄膜の結晶化処理時に、磁場又は電場、又は磁場及び電場を印加し、この作用下でアニールを行うと、結晶粒の結晶方位を揃えることができる。

## 【0104】

例えば、磁場を印加する場合、図13に示すように、上述のランプ203、反射部材204及びレンズ201からなる集光ランプ装置からのランプ光の制御部を光学窓を通して、基板1を収容した真空容器211内に導びき（以下、同様）、この真空容器211の周囲に永久磁石231又は電磁石232を設け、これによる磁場の作用下で集光ランプアニールを行う。

## 【0105】

このように、例えば低級結晶性シリコン薄膜7Aに磁場の作用下で集光ランプアニールを行うと、一旦溶けたシリコン薄膜7Aのシリコン原子の電子スピンは磁場と相互作用し、一定の方向に向き、この状態から冷却により固化する際にシリコンの結晶方位が揃う。こうして結晶化された膜は結晶方位がほぼ揃うため、粒界のもつ電子ポテンシャルバリアが低くなり、キャリア移動度が大きくなる。この際、結晶方位を一定方向に揃えることが重要であり、シリコン原子の外殻軌道の構造に応じて、得られた多結晶シリコン薄膜7の垂直方向に結晶が揃う場合もあり或いは水平方向に結晶方位が揃う場合もある。結晶粒が揃うことにより、多結晶シリコン薄膜の表面の凹凸もなくなり、薄膜の表面が平坦化されることになり、これに接して形成されるゲート絶縁膜等との間の界面状態が良好となり、キャリア移動度が改善されることになる。

## 【0106】

図14は、上記の磁場に代えて電源233による電場を印加する例であるが、基板1を収容した真空容器211の周囲に高周波電圧（または直流電圧、或いはこれらの双方）を印加する電極234を設け、これによる電場の作用下で集光ランプアニールを行う。

## 【0107】

この時に、一旦溶けた低級結晶性シリコン薄膜7A中のシリコン原子の電子ス

ピンが電場と相互作用して一定の方向に向き、この状態から冷却により固化する際に、一定の方向性をもって結晶化することになる。これは、上記した磁場の場合と同様に、一定の方向に結晶粒が揃い、キャリア移動度が向上し、また表面の凹凸も減少する。更には、ランプ照射光210の照射効率も良好である。

#### 【0108】

図15は、上記の磁場と共に電場も同時に印加する例であるが、基板1を収容した真空容器211の周囲の永久磁石231（これは電磁石でもよい。）による磁場と同時に、高周波電圧（又は直流電圧、或いはこれらの双方）を印加する電極234による電場が同時に作用する条件で集光ランプアニールを行う。

#### 【0109】

この時に、一旦溶けた低級結晶性シリコン薄膜7Aのシリコン原子の電子スピングが磁場と電場の相互作用で一定の方向に向き、この状態から冷却により固化する際に、磁場と電場の相乗作用により更に十分な方向性をもって結晶化することになる。従って、一定の方向に結晶粒が更に揃い易くなり、キャリア移動度が一層向上し、また表面の凹凸も一層減少する。更には、ランプ照射光210の照射効率も良好である。

#### 【0110】

##### ＜トップゲート型CMOSTFTの製造＞

次に、本実施の形態による集光ランプアニールを用いたトップゲート型CMOSTFTの製造例を示す。

#### 【0111】

まず、図1の(1)に示すように、ほうけい酸ガラス、アルミノけい酸ガラス、石英ガラス、結晶化ガラスなどの絶縁基板1の少なくともTFT形成領域に、プラズマCVD、触媒CVD、減圧CVD等の気相成長法により、保護用の窒化シリコン膜及び酸化シリコン膜の積層膜からなる下地保護膜100を下記の条件で形成する（以下、同様）。

#### 【0112】

この場合、TFT形成のプロセス温度によってガラス材質を使い分ける。

200～500℃の低温の場合：ほうけい酸、アルミノけい酸ガラス等のガラ

ス基板（ $500 \times 600 \times 0.5 \sim 1.1 \mu\text{m}$ 厚）、耐熱性樹脂基板を用いてもよい。

600～1000°Cの高温の場合：石英ガラス、結晶化ガラス等の耐熱性ガラス基板（6～12インチφ、 $700 \sim 800 \mu\text{m}$ 厚）を用いてもよい。保護膜用の窒化シリコン膜はガラス基板からのNaイオンストップのために形成するが、合成石英ガラスを用いる場合は不要である。

#### 【0113】

また、触媒CVDを用いる場合、図5及び図6に示したと同様の装置が使用可能であるが、触媒体の酸化劣化防止のために、水素系キャリアガスを供給して触媒体を所定温度（約1600～1800°C、例えば約1700°C）に加熱し、成膜後は触媒体を問題ない温度まで冷却して水素系キャリアガスをカットする必要がある。

#### 【0114】

成膜条件としては、チャンバ内に水素系キャリアガス（水素、アルゴン+水素、ヘリウム+水素、ネオン+水素等）を常時流し、流量と圧力、サセプタ温度を下記の所定の値に制御する。

チャンバ内圧力：0.1～10Pa程度、例えば1Pa

サセプタ温度：350°C

水素系キャリアガス流量（混合ガスの場合、水素は80～90モル%）

：100～200SCCM

#### 【0115】

また、窒化シリコン膜は、次の条件で50～200nm厚に形成する。

$\text{H}_2$ をキャリアガスとし、原料ガスとしてモノシラン（ $\text{SiH}_4$ ）にアンモニア（ $\text{NH}_3$ ）を適量比率で混合して形成。

$\text{H}_2$ 流量：100～200SCCM、 $\text{SiH}_4$ 流量：1～2SCCM、 $\text{NH}_3$ 流量：3～5SCCM

#### 【0116】

また、酸化シリコン膜は、次の条件で50～200nm厚に形成する。

$\text{H}_2$ をキャリアガス、原料ガスとしてモノシラン（ $\text{SiH}_4$ ）にHe希釈 $\text{O}_2$ を

適量比率で混合して形成。

$H_2$ 流量：100～200 SCCM、 $SiH_4$ 流量：1～2 SCCM、He希釈  
 $O_2$ 流量：0. 1～1 SCCM

【0117】

なお、RFプラズマCVDで成膜する場合の条件は次の通りである。

酸化シリコン膜は、 $SiH_4$ 流量：5～10 SCCM、 $N_2O$ 流量：1000 SCCM、ガス圧：50～70 Pa、RFパワー：1000W、基板温度：350 ℃で形成する。

【0118】

また、窒化シリコン膜は、 $SiH_4$ 流量：50～100 SCCM、 $NH_3$ 流量：200～250 SCCM、 $N_2$ 流量：700～1000 SCCM、ガス圧：50～70 Pa、RFパワー：1300W、基板温度：250 ℃で形成する。

【0119】

次いで、図1の(2)に示すように、触媒CVD又はプラズマCVDによって、例えば周期表IV族元素、例えば錫を $10^{18} \sim 10^{20}$  atoms/ccドープした（これはCVD時又は成膜後のイオン注入によってドープしてよい。）低級結晶性シリコン膜7 Åを50 nm厚に形成する。但し、この錫のドーピングは必ずしも必要ではない（以下、同様）。そして、連続して保護及び反射低減用の酸化シリコン膜を10～30 nm厚に形成する。

【0120】

この場合、図5及び図6に示した装置を用い、上記の触媒CVDにより下記の条件で低級結晶性半導体薄膜としての例えば錫又はニッケルドープの低級結晶性シリコンを気相成長させる。錫をドープする場合は、下記のガスとして供給でき、ニッケルをドープする場合は、イオン注入又はイオンドーピング法により薄膜形成後にドープしてよい。

【0121】

触媒CVDによるアモルファスシリコン含有微結晶シリコンの成膜：

$H_2$ をキャリアガス、原料ガスとしてモノシリコン( $SiH_4$ )、水素化錫( $SnH_4$ )を適量比率で混合して形成。 $H_2$ 流量：150 SCCM、 $SiH_4$ 流量：

15 SCCM、 $\text{SnH}_4$ 流量：15 SCCM。この時、原料ガスのシラン系ガス（シラン又はジシラン又はトリシラン等）に、n型のリン又はひ素又はアンチモン等を適量混入したり、又はp型のボロン等を適量混入することにより、任意のn又はp型不純物キャリア濃度の錫含有シリコン膜を形成してもよい。  
 n型化の場合： $\text{PH}_3$ （ホスфин）、 $\text{AsH}_3$ （アルシン）、 $\text{SbH}_3$ （スチビン）

p型化の場合： $\text{B}_2\text{H}_6$ （ジボラン）

#### 【0122】

なお、上記の各膜を同一のチャンバで形成する場合は、水素系キャリアガスを常時供給し、触媒体を所定温度に加熱してスタンバイをしておき、次のように処理してよい。

#### 【0123】

モノシランにアンモニアを適当比率で混合して所定膜厚の窒化シリコン膜を形成し、前の原料ガス等を十分に排出した後に、連続してモノシランと $\text{He}$ 希釈 $\text{O}_2$ を適当比率で混合して所定膜厚の酸化シリコン膜を形成し、前の原料ガス等を十分に排出した後に、連続してモノシランと $\text{SnH}_4$ を適量比率で混合して所定膜厚の錫含有アモルファスシリコン含有微結晶シリコン膜を形成し、前の原料ガス等を十分に排出した後に、連続してモノシランと $\text{He}$ 希釈 $\text{O}_2$ を適当比率で混合して所定膜厚の酸化シリコン膜を形成する。成膜後は原料ガスをカットし、触媒体を問題ない温度まで冷却して水素系キャリアガスをカットする。この時、絶縁膜形成時の原料ガスは傾斜減少又は傾斜増加させて、傾斜接合の絶縁膜としてもよい。

#### 【0124】

或いは、それぞれ独立したチャンバで形成する場合は、各チャンバ内に水素系キャリアガスを常時供給し、触媒体を所定温度に加熱してスタンバイをしておき、次のように処理してよい。Aチャンバに移し、モノシランにアンモニアを適量比率で混合して所定膜厚の窒化シリコン膜を形成する。次にBチャンバに移し、モノシランに $\text{He}$ 希釈 $\text{O}_2$ を適量比率で混合して酸化シリコン膜を形成する。次にCチャンバに移し、モノシランと $\text{SnH}_4$ を適量比率で混合して錫含有のアモル

ファスシリコン含有微結晶シリコン膜を形成する。次にBチャンバに移し、モノシランにHe希釈O<sub>2</sub>を適量比率で混合して酸化シリコン膜を形成する。成膜後は原料ガスをカットし、触媒体を問題ない温度まで冷却して水素系キャリアガスをカットする。この時に、それぞれのチャンバ内に水素系キャリアガスとそれぞれの原料ガスを常時供給して、スタンバイの状態においててもよい。

## 【0125】

RFプラズマCVDで低級結晶性シリコン膜を成膜する条件は、SiH<sub>4</sub>: 100 SCCM、H<sub>2</sub>: 100 SCCM、ガス圧: 1.33 × 10<sup>4</sup> Pa、RFパワー: 100 W、基板温度: 350 °Cである。

## 【0126】

次いで、図1の(3)に示すように、大気圧窒素ガス中で、例えば図7に示したようにして、主に波長308 nm/10 kW出力の超高圧水銀ランプ203で構成する集光ランプの連続照射210、例えば不活性ガス(窒素等)中でエネルギー密度200~500 mJ/cm<sup>2</sup>でアモルファスシリコン又は微結晶シリコン膜7 Åを溶融又は半溶融状態とし、固定した基板1に照射光を適当な速度で移動させて(又は、固定した照射光210に対して基板1を適当な速度で移動させて)このシリコン溶融帯を移動させる方法、例えばソース領域からゲート領域及びドレイン領域にシリコン溶融帯を適当な速度で移動させてソース領域から自然冷却させて結晶化させる、いわゆる帶精製法により大粒径多結晶性シリコン膜7 Åを形成する。この時に、結晶化助長の役目が終わった触媒元素やその他の不純物元素がシリコン溶融帯又は半溶融帯に吸出され(偏析)、例えば触媒元素及び不純物元素濃度1 × 10<sup>15</sup> atoms/cm<sup>3</sup>以下まで低減した高純度の大粒径多結晶性シリコン膜が形成される。

## 【0127】

又、この時に、複数の集光ランプ照射により、連続してシリコン溶融帯又は半溶融帯と冷却部とを繰り返す、いわゆる多重帯精製法により、さらに高結晶化と触媒元素及びその他の不純物元素のゲッタリングを促進して高純度化を図ってよい。

## 【0128】

ランプ203には紫外光線と可視光線及び赤外光線があり、MOSFT製造プロセスの基板温度と希望する結晶粒径（キャリア移動度）によって使い分ける。

（1）ガラス基板では、発熱の少ない近紫外線（UV）ランプ、遠紫外線（DUV）ランプが良い。UVランプには、高圧水銀ランプ、超高圧水銀ランプ、高圧キセノン水銀ランプ、キセノンショートアークランプ等がある。又、DUVランプには、低圧水銀ランプ、キセノンマーキュリーランプ等がある。

#### 【0129】

（2）石英ガラス、結晶化ガラス等の耐熱性ガラス基板では、すべてのランプが使用可能である。赤外線ランプには、ハロゲンランプ、キセノンランプ、アークランプ等がある。UVランプには、高圧水銀ランプ、超高圧水銀ランプ、キセノンショートアークランプ等がある。又、DUVランプには、低圧水銀ランプ、キセノンマーキュリーランプ等がある。

#### 【0130】

いずれのランプアニールでも、連続照射する光を線状（例；（500～600mm）×（1～100μm））、長方形状（例；（1～10mm）×（200～300mm））又は正方形状（例；100×100mm）に集光整形して照射することにより、照射強度、つまり溶融効率及びスループット向上が図れる。そして、基板又はランプを任意の適当な速度、例えば1～100mm/minで移動させて、加熱溶融及び冷却速度と時間をコントロールすることにより、任意の結晶粒径と任意の純度の多結晶性シリコン膜を形成してもよい。

#### 【0131】

このランプアニール条件（ランプの波長、照射強度、照射時間等）は、低級結晶性シリコン膜厚及び膜質、ガラス耐熱温度、結晶粒径（移動度）により、最適化を適宜決定してもよい。又、集光ランプ（走査）アニール時には、基板温度の均一化及び安定化による結晶化膜の均一化、結晶化膜及び基板ストレス低減化、ランプ照射パワーの削減、徐冷却促進等のために、常温～400℃、好ましくは200～300℃の空気、又は不活性ガス（窒素ガス等）の熱風を基板裏面又は表面又は両面より吹き付けると同時に、赤外線ランプ（ハロゲンランプ等）で加

熱するのがよい。

#### 【0132】

なお、この集光ランプアニール前に予め、膜7A中にイオン注入又はイオンドーピングにより触媒金属（ニッケルなど）を $10^{20}$ atoms/cc以下、例えば $1 \times 10^{18} \sim 1 \times 10^{20}$ atoms/ccドーピングしておくのがよい。また、集光ランプアニール時に、低級結晶性シリコン膜の表面に保護用の酸化シリコン膜又は窒化シリコン膜又は酸窒化シリコン膜又は酸化シリコン／窒化シリコン積層膜等が存在していると、アニール時に溶融したシリコンが飛散したり、表面張力によるシリコン結晶粒（塊）化がなく、良好に多結晶性シリコン膜を得ることができる。

#### 【0133】

又、基板温度上昇の低減と結晶化促進のために、低級結晶性シリコン膜をアイランド化した後、又は保護用酸化シリコン膜で被覆された低級結晶性シリコン膜をアイランド化した後に、集光ランプアニールしても、良好な多結晶性シリコン膜を得ることができる。

#### 【0134】

また、適当な条件でこの集光ランプアニールを後述のゲートチャンネル／ソース／ドレイン領域形成後に行うと、結晶化促進と同時にゲートチャンネル／ソース／ドレイン領域に注入されたn型又はp型キャリア不純物（隣、ひ素、ボロン等）が活性化されるので、生産性が良い場合がある。

#### 【0135】

そして次に、多結晶性シリコン膜7をソース、チャンネル及びドレイン領域とするMOS TFTの作製を行なう。

#### 【0136】

即ち、図2の(4)に示すように、汎用フォトリソグラフィ及びエッチング技術により保護及び反射低減用酸化シリコン膜を除去し、更に多結晶性シリコン膜7をアイランド化した後、nMOS TFT用のチャンネル領域の不純物濃度制御によるしきい値( $V_{th}$ )の最適化のために、pMOS TFT部をフォトレジスト9でマスクし、イオン注入又はイオンドーピングによりp型不純物イオン（例え

ばボロンイオン) 10を例えれば $5 \times 10^{11} \text{ atoms/cm}^2$ のドーザ量でドーピングし、 $1 \times 10^{17} \text{ atoms/cc}$ のアクセプタ濃度に設定し、多結晶シリコン膜7の導電型をp型化した多結晶性シリコン膜11とする。

#### 【0137】

次いで、図2の(5)に示すように、pMOS TFT用のチャンネル領域の不純物濃度制御によるしきい値( $V_{th}$ )の最適化のために、今度はnMOS TFT部をフォトレジスト12でマスクし、イオン注入又はイオンドーピングによってn型不純物イオン(例えば燐イオン)13を例えれば $1 \times 10^{12} \text{ atoms/cm}^2$ のドーザ量でドーピングし、 $2 \times 10^{17} \text{ atoms/cc}$ のドナー濃度に設定し、多結晶性シリコン膜7の導電型をn型化した多結晶性シリコン膜14とする。

#### 【0138】

次いで、図3の(6)に示すように、触媒CVD等によりゲート絶縁膜の酸化シリコン膜8を50nm厚に形成した後、ゲート電極材料としてのリンドープド多結晶シリコン膜15を例えれば2~20SCCMのPH<sub>3</sub>及び20SCCMのSiH<sub>4</sub>の供給下での上記と同様の触媒CVD法によって厚さ例えれば400nm厚に堆積させる。

#### 【0139】

次いで、図3の(7)に示すように、フォトレジスト16を所定パターンに形成し、これをマスクにしてリンドープド多結晶シリコン膜15をゲート電極形状にパターニングし、更に、フォトレジスト16の除去後に図3の(8)に示すように、例えば触媒CVD等により酸化シリコン膜17を20nm厚に形成する。

#### 【0140】

次いで、図3の(9)に示すように、pMOS TFT部をフォトレジスト18でマスクし、イオン注入又はイオンドーピングによりn型不純物である例えは燐イオン19を例えれば $1 \times 10^{15} \text{ atoms/cm}^2$ のドーザ量でドーピングし、 $2 \times 10^{20} \text{ atoms/cc}$ のドナー濃度に設定し、nMOS TFTのn<sup>+</sup>型ソース領域20及びドレイン領域21をそれぞれ形成する。

#### 【0141】

次いで、図4の(10)に示すように、nMOS TFT部をフォトレジスト22でマスクし、イオン注入又はイオンドーピングによりp型不純物である例えばボロンイオン23を例えば $1 \times 10^{15}$  atoms/cm<sup>2</sup>のドーズ量でドーピングし、 $2 \times 10^{20}$  atoms/ccのアクセプタ濃度に設定し、pMOS TFTのp<sup>+</sup>型ソース領域24及びドレイン領域25をそれぞれ形成する。この後に、N<sub>2</sub>中、約900℃で5分間程度のアニールにより、各領域にドーピングされた不純物イオンを活性化させ、各々を設定された不純物キャリア濃度に設定する。

#### 【0142】

こうしてゲート、ソース及びドレインを形成するが、これらは上記したプロセス以外の方法で形成することが可能である。

#### 【0143】

即ち、図1の(2)の工程後に、多結晶性シリコン膜7をpMOS TFTとnMOS TFT領域にアイランド化する。これは、汎用フォトリソグラフィ及びエッチング技術により、保護及び反射低減用酸化シリコン膜はフッ酸系エッチング液で除去し、アモルファスシリコン含有微結晶シリコン膜はCF<sub>4</sub>、SF<sub>6</sub>等のプラズマエッチングで選択的に除去し、有機溶剤等でフォトレジストを剥離洗浄する。次の集光ランプアニール時のランプ照射による急激な温度上昇でのシリコン溶融と冷却時のストレスで、形成されるべき多結晶性シリコン膜にひび割れが発生しやすいので、基板温度上昇を低減するためにアイランド化は重要なポイントである。この集光ランプアニール前のアイランド化は、熱放散を少なくしてシリコン溶融帯の冷却を遅らせて結晶成長を促進する狙いと、不要なシリコン溶融帯での基板温度上昇を低減するものである。

#### 【0144】

そして、上述と同様にして低級結晶性シリコン膜7Aに対して集光ランプアニールを行った後、保護及び反射低減用酸化シリコン膜を除去し、上述と同様にフォトレジストマスクでpMOS TFT領域にイオン注入又はイオンドーピング法によりn型不純物、例えば磷イオンを $1 \times 10^{12}$  atoms/cm<sup>2</sup>のドーズ量でドーピングし、 $2 \times 10^{17}$  atoms/ccのドナー濃度に設定し、nMOS TFT領域にp型不純物、例えばボロンイオンを $5 \times 10^{11}$  atoms/cm<sup>2</sup>

のドーズ量でドーピングし、 $1 \times 10^{17}$  atoms/cm<sup>2</sup>のアクセプタ濃度に設定し、各チャンネル領域の不純物濃度を制御し、V<sub>th</sub>を最適化する。

#### 【0145】

そして、次に、汎用フォトリソグラフィ技術により、フォトレジストマスクで各ソース／ドレイン領域を形成する。nMOS TFTの場合、イオン注入又はイオンドーピング法によりn型不純物、例えばヒ素、隣イオンを $1 \times 10^{15}$  atoms/cm<sup>2</sup>のドーズ量でドーピングし、 $2 \times 10^{20}$  atoms/cm<sup>2</sup>のドナー濃度に設定し、pMOS TFTの場合、イオン注入又はイオンドーピング法によりp型不純物、例えばボロンイオンを $1 \times 10^{15}$  atoms/cm<sup>2</sup>のドーズ量でドーピングし、 $2 \times 10^{20}$  atoms/cm<sup>2</sup>のアクセプタ濃度に設定する。

#### 【0146】

しかる後、多結晶性シリコン膜中のn型又はp型不純物の活性化のために結晶化処理よりも低い照射エネルギーの集光ランプアニール又はハロゲンランプ等の赤外線ランプのRTA (Rapid Thermal Anneal) により、例えば約1000°C、30秒程度の熱処理でゲートチャンネル領域、ソース及びドレイン領域の不純物イオン活性化を行う。しかる後（或いは不純物活性化処理前に）、ゲート絶縁膜として酸化シリコン膜を形成するが、必要に応じて連続して窒化シリコン膜と酸化シリコン膜を形成する。即ち、触媒CVD法により、水素系キャリアガスとモノシランにHe希釈O<sub>2</sub>を適量比率で混合して酸化シリコン膜8を40～50nm厚に形成し、必要に応じて水素系キャリアガスとモノシランにNH<sub>3</sub>を適量比率で混合して窒化シリコン膜を10～20nm厚に形成し、更に前記の条件で酸化シリコン膜を40～50nm厚に形成する。

#### 【0147】

次いで、図4の(11)に示すように、全面に上記したと同様の触媒CVD法によって、水素系キャリアガス150SCCMを共通として、1～2SCCMのヘリウムガス希釈のO<sub>2</sub>、15～20SCCMのモノシラン供給下で酸化シリコン膜26を例えば50nm厚に、更に、1～20SCCMのPH<sub>3</sub>、1～2SCCMのヘリウム希釈のO<sub>2</sub>、15～20SCCMのSiH<sub>4</sub>供給下でfosfインシリケートガラス(PSG)膜28を例えば400nm厚に形成し、50～60

SCCMのNH<sub>3</sub>、15～20SCCMのモノシラン供給下で窒化シリコン膜27を例えば200nm厚に積層する。

## 【0148】

次いで、図4の(12)に示すように、上記の絶縁膜の所定位置にコンタクト窓開けを行う。即ち、汎用フォトリソグラフィ及びエッティング技術によりnMOS TFT及びpMOS TFTのゲート、ソース、ドレイン電極窓開けをフォトレジストパターンで形成し、CF<sub>4</sub>、SF<sub>6</sub>等でパッシベーション用窒化シリコン膜をプラズマエッティングし、酸化シリコン膜及びPSG膜をフッ酸系エッティング液でエッティングし、有機溶剤等でフォトレジストを洗浄除去して、nMOS TFT及びpMOS TFTのゲート、ソース、ドレイン領域を露出形成する。

## 【0149】

次いで、各コンタクトホールを含む全面に1%Si入りアルミニウムなどの電極材料をスパッタ法等で150°Cで1μmの厚みに堆積し、これをパターニングして、pMOS TFT及びnMOS TFTのそれぞれのソース又はドレイン電極29(S又はD)とゲート取出し電極又は配線30(G)を形成し、トップゲート型の各CMOS TFTを形成する。この後に、フォーミングガス中で400°C、1hの水素化処理及びシンター処理をする。尚、触媒CVD法により、アルミニウム化合物ガス(例えばAlC<sub>1.3</sub>)を供給し、アルミニウムを形成してもよい。

## 【0150】

なお、上記のゲート電極の形成に代えて、全面にMo-Ta合金等の耐熱性金属のスパッタ膜を400～500nm厚に形成し、汎用フォトリソグラフィ及びエッティング技術により、nMOS TFT及びpMOS TFTのゲート電極を形成してよい。

## 【0151】

なお、シリコン合金溶融液の液相成長法と集光ランプアニールをトップゲート型多結晶シリコンCMOS TFTの製法例について説明すると、まず、上記の下地保護膜の形成後に、下記のいずれかの方法で錫含有又は非含有のアモルファスシリコン含有微結晶シリコン層を(析出)成長させた後、その上の錫等の低融点

金属膜を除去する。

シリコンを含む錫等の低融点金属溶融液を塗布し、冷却させる。

シリコンを含む錫等の低融点金属溶融液に浸漬し、引き上げて冷却させる。

シリコンを含む錫等の低融点金属膜を加熱溶融し、冷却させる。

シリコン膜の上に錫等の低融点金属膜を形成し、加熱溶融及び冷却させる。

錫等の低融点金属膜の上にシリコン膜を形成し、加熱溶融及び冷却させる。

#### 【0152】

次いで、錫含有又は非含有のアモルファスシリコン含有微結晶シリコン層をアイランド化して、pMOS TFT部とnMOS TFT部に分割し、イオン注入又はイオンドーピング法によりチャンネル領域の不純物濃度を制御して $V_{th}$ を最適化する（条件は、上述したものに準ずる）。しかる後に、イオン注入又はイオンドーピング法によりpMOS TFT部とnMOS TFT部のソース、ドレインを形成する（条件は、上述したものに準ずる）。

#### 【0153】

次いで、集光ランプアニールで結晶化促進とイオン活性化を行なう（条件は、上述したものに準ずる）。連続して触媒CVDによりゲート絶縁膜の酸化シリコン膜を形成するが、必要に応じて連続して窒化シリコン膜及び酸化シリコン膜を形成する（成膜条件は、上述したものに準ずる）。これ以降のプロセスは、上述したものと同様である。また、この液相成長法を用いる方法は、後述のボトムゲート型、デュアルゲート型CMOS TFT等についても、同様に適用されてよい。尚、結晶化の集光ランプアニールと、イオン活性化のRTA処理に分けて処理してもよい。

#### 【0154】

スパッタ法による低級結晶性シリコン膜の集光ランプアニールを用いたトップゲート型多結晶シリコンCMOS TFTの製法例について説明すると、まず、上記の下地保護膜をスパッタリングで形成する。即ち、絶縁性基板の全面に、窒化シリコンターゲットをアルゴンガス圧0.133~1.33Paの真空中でスパッタリングして、窒化シリコン膜を50~200nm厚に形成し、この窒化シリコン膜の全面に、酸化シリコンターゲットをアルゴンガス圧0.133~1.3

3 Pa の真空中でスパッタリングして、酸化シリコン膜を 100 ~ 200 nm 厚に形成する。

【0155】

次に、錫又はニッケルを 0. 1 ~ 1 at % 含有する或いは非含有のシリコンターゲットを、アルゴンガス圧 0. 133 ~ 1. 33 Pa の真空中でスパッタリングして、絶縁性基板の少なくとも TFT 形成領域に 50 nm 厚の例えば錫又はニッケル含有又は錫又はニッケル非含有のアモルファスシリコン膜を形成する。

【0156】

次に、このアモルファスシリコン膜の全面に、酸化シリコンターゲットを、アルゴンガス圧 0. 133 ~ 1. 33 Pa の真空中でスパッタリングして、反射低減及び保護用酸化シリコン膜を 10 ~ 30 nm 厚に形成する。

【0157】

なお、共通のシリコンターゲットで、アルゴンガス + 窒素ガス (5 ~ 10 モル %) のスパッタリングで窒化シリコン膜を、アルゴンガス + 酸素ガス (5 ~ 10 モル %) のスパッタリングで酸化シリコン膜を、アルゴンガスのスパッタリングでアモルファスシリコン膜を、さらにアルゴンガス + 酸素ガス (5 ~ 10 モル %) のスパッタリングで酸化シリコン膜を連続積層形成してもよい。

【0158】

次いで、形成した錫又はニッケル含有又は非含有のアモルファスシリコン膜をアイランド化し、pMOS TFT 部と nMOS TFT 部に分割する（条件は気相成長法の場合に準ずる）。しかる後に、イオン注入又はイオンドーピングによりゲートチャンネル、ソース、ドレイン領域を形成する（条件は気相成長法の場合に準ずる）。

【0159】

次いで、錫又はニッケル含有又は非含有のアモルファスシリコン膜を集光ランプアニールする。この集光ランプアニールにより、多結晶シリコン膜化し、同時にイオン注入又はイオンドーピングした n 型又は p 型不純物を活性化して、ゲートチャンネル、ソース、ドレイン領域の最適なキャリア不純物濃度を形成する（集光ランプアニール処理条件は上述したものに準ずる）。尚、上記と同様に、結

晶化の集光ランプアニールと、イオン活性化のRTA処理に分けて処理してもよいことは言うまでもない。

【0160】

次いで、ゲート絶縁膜として酸化シリコン膜を形成するが、必要に応じて連続して窒化シリコン膜及び酸化シリコン膜を形成する。即ち、触媒CVD法等により、酸化シリコン膜を40～50nm厚、窒化シリコン膜を10～20nm厚、酸化シリコン膜を40～50nm厚に連続形成する（成膜条件は上述したものに準ずる）。

【0161】

以降のプロセスは、上述したものと同様である。また、このスパッタリング膜を用いる方法は、後述のボトムゲート型、デュアルゲート型CMOST等についても、同様に適用されてよい。

【0162】

なお、上記の低級結晶性シリコン膜の形成と集光ランプアニールを必要回数繰り返すことにより、高結晶性、高純度の単結晶性シリコンに近い大粒径多結晶シリコン厚膜を形成できるので、CCDエリア／リニアセンサ、バイポーラLSI、太陽電池等の厚膜に必要なデバイスに好適となる。つまり、1回目の集光ランプアニールにより、例えば200～300nm厚の大粒径多結晶シリコン薄膜を形成する。そして、その上に低級結晶性シリコン膜を200～300nm厚に積層する。そして、2回目の集光ランプアニールにより、下地膜をシードとして例えば200～300nm厚の大粒径多結晶性シリコン薄膜を積層形成して、約400～600nmの大粒径多結晶性シリコン膜を形成する。こうした工程を必要回数繰り返すことにより、 $\mu$ m単位膜厚の大粒径多結晶性シリコン厚膜を積層形成できる。なお、この厚膜も本発明の「多結晶性シリコン薄膜」の概念に含まれる。

【0163】

このような積層の場合、下地の大粒径多結晶性シリコン薄膜が次の集光ランプアニール時の結晶核（シード）となり、より大きな粒径の多結晶性シリコン薄膜が次々と積層していくので、厚膜の表面に近くなる程、高結晶性、高純度の単結

晶シリコンに近い大粒径多結晶性シリコン厚膜を形成できる。従って、MOSL  
SIのみならず一般に、厚膜の表面を能動及び受動素子領域とするCCDエリア  
ノリニアセンサ、バイポーラLSI、太陽電池等の厚膜が必要なデバイスに好適  
となる。

## 【0164】

(I) なお、上記したようにアイランド化後に集光ランプアニールを行う場合、  
次の(1)～(4)の処理のいずれかを行うのがよい。

(1) 低温プロセス(A)では、酸化シリコン(以下、 $\text{SiO}_2$ )／窒化シリコン(以下、 $\text{SiN}_x$ )積層膜付きアモルファスシリコン膜をパターニングしてアイランド化する。集光ランプアニールで多結晶シリコン化した後に、 $\text{SiN}_x$ 膜のみを剥離し、 $\text{SiO}_2$ 又は $\text{SiO}_2/\text{SiN}_x$ 膜を積層し、ゲート絶縁膜の $\text{SiO}_2$ 又は $\text{SiO}_2/\text{SiN}_x/\text{SiO}_2$ 積層膜を形成する。ここで低温プロセスとは、基板に、ほうけい酸ガラス、アルミノけい酸ガラス等の低歪点ガラスを使用することを意味する(以下、同様)。また、窒化シリコン膜は、プラズマCVD等の低温成膜で形成されるので、完全な $\text{Si}_3\text{N}_4$ ではなく、 $\text{SiN}_x$ と表示する(以下、同様)。

## 【0165】

(2) 低温プロセス(B)では、 $\text{SiO}_2$ (又は $\text{SiN}_x$ )膜付きアモルファスシリコン膜をパターニングしてアイランド化する。集光ランプアニールで多結晶シリコン化した後に、 $\text{SiO}_2$ (又は $\text{SiN}_x$ )膜を剥離し、ゲート絶縁膜の $\text{SiO}_2$ 又は $\text{SiO}_2/\text{SiN}_x/\text{SiO}_2$ 積層膜を形成する。

## 【0166】

(3) 低温プロセス(C)では、アモルファスシリコン膜をパターニングしてアイランド化した後に、集光ランプアニールし、しかる後にゲート絶縁膜の $\text{SiO}_2$ 又は $\text{SiO}_2/\text{SiN}_x/\text{SiO}_2$ 積層膜を形成する。

## 【0167】

(4) 高温プロセス(A)では、アモルファスシリコン膜をパターニングしてアイランド化した後、集光ランプアニールし、しかる後に高温(1000℃、30分)の熱酸化作用で多結晶性シリコン膜の表面を酸化させてゲート絶縁膜を形成

する。ここで高温プロセスとは、石英ガラスを使用することを意味する（以下、同様）。

## 【0168】

[II] また、アイランド化前の集光ランプアニールの場合は、次の（1）～（4）の処理のいずれかを行うのがよい。

（1）低温プロセス（D）では、 $\text{SiO}_2/\text{SiN}_x$ 積層膜付きアモルファスシリコン膜を集光ランプアニール後にパターニングしてアイランド化する。その後に、 $\text{SiN}_x$ 膜のみを剥離し、 $\text{SiO}_2$ 又は $\text{SiO}_2/\text{SiN}_x$ 膜を積層し、ゲート絶縁膜の $\text{SiO}_2$ 又は $\text{SiO}_2/\text{SiN}_x/\text{SiO}_2$ 積層膜を形成する。

## 【0169】

（2）低温プロセス（E）では、 $\text{SiO}_2$ （又は $\text{SiN}_x$ ）膜付きアモルファスシリコン膜を集光ランプアニールした後に、パターニングしてアイランド化する。その後に、 $\text{SiO}_2$ （又は $\text{SiN}_x$ ）膜を剥離し、 $\text{SiO}_2$ 又は $\text{SiO}_2/\text{SiN}_x/\text{SiO}_2$ 膜を積層し、それぞれをゲート絶縁膜とする。

## 【0170】

（3）低温プロセス（F）では、アモルファスシリコン膜を集光ランプアニールした後に、パターニングしてアイランド化する。その後に、 $\text{SiO}_2$ 又は $\text{SiO}_2/\text{SiN}_x/\text{SiO}_2$ 膜を積層して、それぞれをゲート絶縁膜とする。

## 【0171】

（4）高温プロセス（B）では、アモルファスシリコン膜を集光ランプアニールした後に、パターニングしてアイランド化し、高温（1000°C、30分）の熱酸化作用で多結晶性シリコン膜を熱酸化させてゲート絶縁膜を形成する（石英ガラス使用）。

## 【0172】

上記の〔I〕、〔II〕ともに、低温プロセス用 $\text{SiO}_2$ は触媒CVD、プラズマCVD、TEOS系プラズマCVD等で形成し、 $\text{SiN}_x$ は触媒CVD、プラズマCVD等で形成する。高温プロセスは、上記のように高温熱酸化で多結晶性シリコンを熱酸化させて良質の $\text{SiO}_2$ 膜を形成する。従って、多結晶性シリコン膜厚は厚めに形成しておく必要がある。

## 【0173】

上述したように、本実施の形態によれば、下記(a)～(k)の優れた作用効果を得ることができる。

## 【0174】

(a) 超高圧水銀ランプ等の集光ランプのランプ光を任意の形状に集光整形して照射して、アモルファスシリコン膜等の低級結晶性半導体薄膜を溶融又は半溶融状態に加熱し或いは非溶融状態で加熱し、冷却させて結晶化する、いわゆる集光ランプアニールにより、高い照射エネルギーを低級結晶性半導体薄膜に与え、これを溶融又は半溶融状態に加熱し或いは非溶融状態で加熱し、冷却することにより、大粒径の高キャリア移動度、高品質の多結晶性シリコン膜等の多結晶性又は単結晶性半導体薄膜が得られ、生産性が大幅に向上し、大幅なコストダウンが可能となる。

## 【0175】

(b) 集光ランプアニールは、上記溶融帯を移動させながら行う、いわゆる帯精製法により、結晶化助長のために予め添加され、その役割を終えたN<sub>i</sub>等の触媒元素やその他の不純物元素が高温の溶融帯に偏析するので、容易に除去でき、膜中に残存することができないため、大粒径での高キャリア移動度、高品質の多結晶性半導体薄膜が得られ易い。さらに、このときに、複数のランプ光照射により連続して溶融帯と冷却部を繰り返す、いわゆる多重帯精製法により、さらなる大粒径、高品質の多結晶性半導体薄膜が得られる。この高純度化により、半導体特性が損なわれることがなくなり、作製する素子の安定性、信頼性が向上する。そして、集光ランプアニールでの帯精製法又は多重帯精製法という簡単なプロセスにより、結晶化助長の役割が終わった触媒元素やその他の元素が効率良く除去されるので、工数削減によるコストダウンが可能となる。

## 【0176】

(c) 集光ランプスキャニング方向に多結晶性シリコン等の結晶粒が揃うので、この方向にTFTを形成することにより、結晶粒界の不整及びストレスが低減し、高移動度の多結晶性シリコン膜等を形成できる。

## 【0177】

(d) 集光ランプアニールの帯精製法又は多重帯精製法により結晶化させた多結晶性シリコン等の膜上に低級結晶性シリコン等の膜を積層し、再度この集光ランプアニールで結晶化する方法を繰り返すことにより、 $\mu$ m単位の厚みで大粒径での高キャリア移動度、高品質の多結晶性シリコン膜等を積層形成できる。これにより、MOSLSIのみならず、高性能、高品質のバイポーラLSI、CMOSセンサ、CCDエリア／リニアセンサ、太陽電池等も形成できる。

## 【0178】

(e) 集光ランプのランプ光は、紫外線又は赤外線ランプ等であれ、連続した光を線状、長方形状又は正方形に集光整形して、照射することが容易であり、光ビーム径及びスキャニングピッチなどを自由に設定でき、照射強度、つまり溶融効率及びスループット向上でのコストダウンが図れる。

## 【0179】

(f) 集光ランプアニール装置のランプは、その波長、照射強度、照射時間等のコントロールが容易であり、しかも基板又はランプを任意の速度で移動させて加熱溶融及び冷却速度をコントロールすることにより、任意の結晶粒と任意の純度の多結晶性シリコン膜等が得られる。

## 【0180】

(g) 集光ランプアニール装置のランプはエキシマレーザーアニール装置のエキシマレーザー発振器に比べてはるかに安価であるので、大幅なコストダウンが可能である。

## 【0181】

(h) こうしたXeCl、KrF等のエキシマレーザーアニール処理はnsecオーダーのパルス発振型レーザーを用いるので、その出力の安定性に課題があり、照射面のエネルギー分布のばらつき、得られた結晶化半導体膜のばらつき、TFTごとの素子特性のばらつきが見られる。そこで、400°C程度の温度を付与しつつエキシマレーザーパルスを例えば5回、30回などの多数回照射する方法が採られているが、それでも、照射ばらつきによる結晶化半導体膜及びTFT素子特性のばらつき、スループット低下での生産性低下によるコストアップがある。これに対して集光ランプアニール処理、特に超高压水銀の集光ランプアニール

では、例えばXeC1（波長308nm）エキシマレーザーと同じ波長を連続照射できるので、照射面のエネルギー分布のばらつき、得られた結晶化半導体膜のばらつき、TFTごとの素子特性のばらつきが少なく、高いスループットでの高生産性によるコストダウンが可能である。

#### 【0182】

(i) 集光ランプアニールでは低温（200～400℃）で適用できるので、安価であって大型化が容易な低歪点ガラスや耐熱性樹脂を採用でき、軽量化とコストダウンを図れる。

#### 【0183】

(j) 耐熱性ガラスの石英ガラス、結晶化ガラス等の場合は、簡単なプロセスにより、高結晶性で高品質のゲート絶縁膜が容易に形成できるので、高性能で安価な半導体装置が可能となる。

#### 【0184】

(k) トップゲート型のみならず、ボトムゲート型、デュアルゲート型MOSFETでも、高いキャリア移動度の多結晶性半導体膜又は単結晶性半導体膜等が得られるために、この高性能の半導体膜を使用した高速、高電流密度の半導体装置、電気光学装置、更には高効率の太陽電池等の製法が可能となる。例えば、シリコン半導体装置、シリコン半導体集積回路装置、シリコンゲルマニウム半導体装置、シリコンゲルマニウム半導体集積回路装置、炭化ケイ素半導体装置、炭化ケイ素半導体集積回路装置、多結晶性ダイヤモンド半導体装置、多結晶性ダイヤモンド半導体集積回路装置、化合物半導体（GaAs等）装置、化合物半導体（GaAs等）集積回路装置、液晶表示装置、フィールドエミッショナディスプレイ（FED）装置、エレクトロルミネセンス（有機／無機）表示装置、発光ポリマー表示装置、発光ダイオード表示装置、光センサー装置、CCDエリア／ニアセンサ装置、CMOSセンサ装置、太陽電池装置である。

#### 【0185】

### 第2の実施の形態

#### <LCDの製造例1>

本実施の形態は、高温プロセスによる多結晶シリコンMOSFETを用いたL

CD（液晶表示装置）に本発明を適用したものであり、以下その製造例を示す。

【0186】

まず、図16の（1）に示すように、画素部及び周辺回路部において、石英ガラス、結晶化ガラスなどの耐熱性絶縁基板61（歪点約800～1100℃、厚さ50ミクロン～数mm）の一主面に、上述した触媒CVD法等によって、下地保護膜100（ここでは図示省略：以下、同様）を形成後に、この上に上記の触媒CVD等により低級結晶性シリコン膜67Aを形成する。更に、必要に応じて保護及び反射低減用酸化シリコン膜を10～30nm厚に形成する。

【0187】

次いで、図16の（2）に示すように、低級結晶性シリコン膜67Aに上述の集光ランプアニールを施し、50nm厚の多結晶性シリコン膜67を形成する。

【0188】

次いで、図16の（3）に示すように、保護及び反射低減用酸化シリコン膜を除去した後に、汎用フォトリソグラフィ及びエッチング技術により多結晶性シリコン膜67をパターニング（アイランド化）し、トランジスタ、ダイオード等の能動素子、抵抗、容量、インダクタンス等の受動素子の活性層を形成する。尚、以降のプロセスは、TFT作製について述べるが、他の素子の作製も同様であることは言うまでもない。

【0189】

次いで、多結晶性シリコン膜67の各チャネル領域の不純物濃度制御による $V_{th}$ の最適化のために前記と同様のボロン又は燐等の所定の不純物のイオン注入又はイオンドーピングを行なった後、図16の（4）に示すように、例えば上記と同様の触媒CVD法等によって多結晶性シリコン膜67の表面に厚さ例えば50nm厚のゲート絶縁膜用の酸化シリコン膜68を形成する。触媒CVD法等でゲート絶縁膜用の酸化シリコン膜68を形成する場合、基板温度及び触媒体温度は上記したものと同様であるが、酸素ガス流量は1～2SCCM、モノシランガス流量は15～20SCCM、水素系キャリアガスは150SCCMとしてよい。

【0190】

次いで、図17の(5)に示すように、ゲート電極及びゲートライン材料として、例えばMo-Ta合金をスパッタリングで厚さ例えば400nm厚に堆積させるか、或いは、リンドープド多結晶シリコン膜を例えば水素系キャリアガス150SCCM、2~20SCCMのPH<sub>3</sub>及び20SCCMのモノシランガスの供給下での上記と同様の触媒CVD法等によって厚さ例えば400nm厚に堆積させる。そして、汎用フォトリソグラフィ及びエッティング技術により、ゲート電極材料層をゲート電極75及びゲートラインの形状にパターニングする。なお、リンドープド多結晶シリコン膜の場合は、フォトレジストマスクの除去後に、例えば触媒CVD等によりリンドープド多結晶シリコン膜75の表面に酸化シリコン膜を形成する。

#### 【0191】

次いで、図17の(6)に示すように、pMOS TFT部をフォトレジスト78でマスクし、イオン注入又はイオンドーピング法によりn型不純物である例えばヒ素(又は磷)イオン79を例えば $1 \times 10^{15}$ atoms/cm<sup>2</sup>のドーズ量でドーピングし、 $2 \times 10^{20}$ atoms/ccのドナー濃度に設定し、nMOS TFTのn<sup>+</sup>型ソース領域80及びドレイン領域81をそれぞれ形成する。

#### 【0192】

次いで、図17の(7)に示すように、nMOS TFT部をフォトレジスト82でマスクし、イオン注入又はイオンドーピング法によりp型不純物である例えばボロンイオン83を例えば $1 \times 10^{15}$ atoms/cm<sup>2</sup>のドーズ量でドーピングし、 $2 \times 10^{20}$ atoms/ccのアクセプタ濃度に設定し、pMOS TFTのp<sup>+</sup>型ソース領域84及びドレイン領域85をそれぞれ形成する。その後に、N<sub>2</sub>中、約900°Cで5分間程度のアニールにより、各領域にドーピングされた不純物イオンを活性化させ、各々設定された不純物キャリア濃度に設定する。

#### 【0193】

次いで、図17の(8)に示すように、全面に上記したと同様の触媒CVD法等によって、水素系キャリアガス150SCCMを共通として、1~2SCCMのHe希釈O<sub>2</sub>、15~20SCCMのシラン供給下で酸化シリコン膜を例えば100nm厚に、更に、1~20SCCMのフォスфин、1~2SCCMのH

e希釈O<sub>2</sub>、15～20SCCMのシラン供給下でフォスфинシリケートガラス（PSG）膜を例えば400nm厚に形成し、50～60SCCMのアンモニア、15～20SCCMのシラン供給下で窒化シリコン膜を例えば200nm厚に積層し、これらの絶縁膜の積層によって層間絶縁膜86を形成する。なお、このような層間絶縁膜は、上記とは別の通常の方法で形成してもよい。

#### 【0194】

次いで、図18の(9)に示すように、上記の絶縁膜86の所定位置にコンタクト窓開けを行い、各コンタクトホールを含む全面にアルミニウムなどの電極材料をスパッタ法等で150℃で1μmの厚みに堆積し、これをパターニングして、画素部のnMOS TFTのソース電極87及びデータライン、周辺回路部のpMOS TFT及びnMOS TFTのソース電極88、90とドレイン電極89、91及び配線をそれぞれ形成する。尚、この時に、触媒CVD法によりアルミニウムを形成してもよい。

#### 【0195】

次いで、表面上に酸化シリコン膜等の層間絶縁膜92をCVD法等で形成した後、フォーミングガス中で400℃、30分の水素化及びシンター処理する。そして、図18の(10)に示すように、画素部のnMOS TFTのドレイン領域において層間絶縁膜92及び86にコンタクトホールを開け、例えばITO（Indium Tin Oxide：インジウム酸化物にスズをドープした透明電極材料）を真空蒸着法等で全面に堆積させ、パターニングして画素部のnMOS TFTのドレイン領域81に接続された透明画素電極93を形成する。その後に、熱処理（フォーミングガス中で200～250℃、1時間）により、コンタクト抵抗の低減化とITO透明度の向上を図る。

#### 【0196】

こうしてアクティブマトリクス基板（以後、TFT基板と称す）を作製し、透過型LCDを作製することができる。この透過型LCDは、図18の(11)に示すように、画素電極93上に配向膜94、液晶95、配向膜96、透明電極97、対向基板98が積層された構造からなっている。

#### 【0197】

なお、上記した工程は、反射型のLCDの製造にも同様に適用可能である。図23(A)には、この反射型のLCDの一例が示されているが、図中の101は粗面化された絶縁膜92上に被着された反射膜であり、MOS TFTのドレインと接続されている。

#### 【0198】

このLCDの液晶セルを面面組立で作製する場合(2インチサイズ以上の中/大型液晶パネルに適している。)、まずTFT基板61と、全面ベタのITO(Indium Tin Oxide)電極97を設けた対向基板98の素子形成面に、ポリイミド配向膜94、96を形成する。このポリイミド配向膜はロールコート、スピンドル等により50~100nm厚に形成し、180°C/2hで硬化キュアする。

#### 【0199】

次いで、TFT基板61と対向基板98をラビング、又は光配向処理する。ラビングバフ材にはコットンやレーヨン等があるが、バフかす(ゴミ)やリターション等の面からはコットンの方が安定している。光配向は非接触の線型偏光紫外線照射による液晶分子の配向技術である。なお、配向には、ラビング以外にも、偏光又は非偏光を斜め入射させることによって高分子配向膜を形成することができる(このような高分子化合物は、例えばアゾベンゼンを有するポリメチルメタクリレート系高分子等がある)。

#### 【0200】

次いで、洗浄後に、TFT基板61側にはコモン剤塗布、対向基板98側にはシール剤塗布する。ラビングバフかす除去のために、水、又はIPA(イソプロピルアルコール)洗浄する。コモン剤は導電性フィラーを含有したアクリル、又はエポキシアクリレート、又はエポキシ系接着剤であってよく、シール剤はアクリル、又はエポキシアクリレート、又はエポキシ系接着剤であってよい。加熱硬化、紫外線照射硬化、紫外線照射硬化+加熱硬化のいずれも使用できるが、重ね合せの精度と作業性からは紫外線照射硬化+加熱硬化タイプが良い。

#### 【0201】

次いで、対向基板98側に所定のギャップを得るためのスペーサを散布し、TFT基板61と所定の位置で重ね合せる。対向基板98側のアライメントマーク

とTFT基板61側のアライメントマークとを精度よく合わせた後に、紫外線照射してシール剤を仮硬化させ、その後に一括して加熱硬化する。

【0202】

次いで、スクリープブレークして、TFT基板61と対向基板98を重ね合せた単個の液晶パネルを作成する。

【0203】

次いで、液晶95を両基板61-98間のギャップ内に注入し、注入口を紫外線接着剤で封止後に、IPA洗浄する。液晶の種類は何れでも良いが、例えばネマティック液晶を用いる高速応答のTN（ツイストネマティック）モードが一般的である。

【0204】

次いで、加熱急冷処理して、液晶95を配向させる。

【0205】

次いで、TFT基板61のパネル電極取り出し部にフレキシブル配線を異方性導電膜の熱圧着で接続し、更に対向基板98に偏光板を貼合わせる。

【0206】

また、液晶パネルの面単組立の場合（2インチサイズ以下の小型液晶パネルに適している。）、上記と同様、TFT基板61と対向基板98の素子形成面に、ポリイミド配向膜94、96を形成し、両基板をラビング、又は非接触の線型偏光紫外線光の配向処理する。

【0207】

次いで、TFT基板61と対向基板98をダイシング又はスクリープブレークで単個に分割し、水又はIPA洗浄する。TFT基板61にはコモン剤塗布、対向基板98にはスペーサ含有のシール剤塗布し、両基板を重ね合せる。これ以後のプロセスは上記に準ずる。

【0208】

上記したLCDにおいて、対向基板98はCF（カラーフィルタ）基板であって、カラーフィルタ層（図示せず）をITO電極97下に設けたものである。対向基板98側からの入射光は例えば反射膜93で効率良く反射されて対向基板9

8側から出射してよい。

【0209】

他方、TFT基板61として、TFT基板61にカラーフィルタを設けたオンチップカラーフィルタ(OCCF)構造のTFT基板とするときには、対向基板98にはITO電極がベタ付け(又はブラックマスク付きのITO電極がベタ付け)される。

【0210】

透過型LCDの場合、次のようにしてオンチップカラーフィルタ(OCCF)構造とオンチップブラック(OCB)構造を作製することができる。

【0211】

即ち、図18の(12)に示すように、フォスфинシリケートガラス/酸化シリコンの絶縁膜86のドレイン部も窓開けしてドレイン電極用のアルミニウム埋込み層を形成した後、R、G、Bの各色を各セグメント毎に顔料分散したフォトレジスト99を所定厚さ(1~1.5μm)で形成した後、汎用フォトリソグラフィ技術で所定位置(各画素部)のみを残すパターニングで各カラーフィルタ層99(R)、99(G)、99(B)を形成する(オンチップカラーフィルタ構造)。この際、ドレイン部の窓開けも行う。なお、不透明なセラミック基板や低透過率のガラス及び耐熱性樹脂基板は使用できない。

【0212】

次いで、表示用MOS TFTのドレインに連通するコンタクトホールに、カラーフィルタ層上にかけてブラックマスク層となる遮光層100'を金属のパターニングで形成する。例えば、スパッタ法により、モリブデンを200~250nm厚で成膜し、表示用MOS TFTを覆って遮光する所定の形状にパターニングする(オンチップブラック構造)。

【0213】

次いで、透明樹脂の平坦化膜92を形成し、更にこの平坦化膜に設けたスルーホールにITO透明電極93を遮光層100'に接続するように形成する。

【0214】

このように、表示アレイ部上に、カラーフィルタ99やブラックマスク100

’を作り込むことにより、液晶表示パネルの開口率を改善し、またバックライトも含めたディスプレイモジュールの低消費電力化が実現する。

### 【0215】

図19は、上述のトップゲート型MOS TFTを組み込んで駆動回路一体型に構成したアクティブマトリクス液晶表示装置（LCD）の全体を概略的に示すものである。このアクティブマトリクスLCDは、主基板61（これはアクティブマトリクス基板を構成する。）と対向基板98とをスペーサ（図示せず）を介して貼り合わせたフラットパネル構造からなり、両基板61-98間に液晶（ここでは図示せず）が封入されている。主基板61の表面には、マトリクス状に配列した画素電極93と、この画素電極を駆動するスイッチング素子とからなる表示部、及びこの表示部に接続される周辺駆動回路部とが設けられている。

### 【0216】

表示部のスイッチング素子は、上記したnMOS又はpMOS又はCMOSでLDD構造のトップゲート型MOS TFTで構成される。また、周辺駆動回路部にも、回路要素として、上記したトップゲート型MOS TFTのCMOS又はnMOS又はpMOS TFT又はこれらの混在が形成されている。なお、一方の周辺駆動回路部はデータ信号を供給して各画素のMOS TFTを水平ライン毎に駆動する水平駆動回路であり、また他方の周辺駆動回路部は各画素のMOS TFTのゲートを走査ライン毎に駆動する垂直駆動回路であり、通常は表示部の両辺にそれぞれ設けられる。これらの駆動回路は、点順次アナログ方式、線順次デジタル方式のいずれも構成できる。

### 【0217】

図20に示すように、直交するゲートバスラインとデータバスラインの交差部に上記のMOS TFTが配置され、このMOS TFTを介して液晶容量（ $C_{LC}$ ）に画像情報を書き込み、次の情報がくるまで電荷を保持する。この場合、MOS TFTのチャンネル抵抗だけで保持させるには十分ではないので、それを補うため液晶容量と並列に蓄積容量（補助容量）（ $C_S$ ）を付加し、リーク電流による液晶電圧の低下を補ってよい。こうしたLCD用MOS TFTでは、画素部（表示部）に使用するMOS TFTの特性と周辺駆動回路に使用するMOS TFTの

特性とでは要求性能が異なり、特に画素部のMOSFETではオフ電流の制御、オン電流の確保が重要な問題となる。このため、表示部には、後述の如きLDD構造のMOSFETを設けることによって、ゲートードレイン間に電界がかかりにくい構造としてチャンネル領域にかかる実効的な電界を低減させ、オフ電流を低減し、特性の変化も小さくできる。しかし、プロセス的には複雑になり、素子サイズも大きくなり、かつオン電流が低下するなどの問題も発生するため、それぞれの使用目的に合わせた最適設計が必要である。

#### 【0218】

なお、使用可能な液晶としては、TN液晶（アクティブマトリクス駆動のTNモード用に用いられるネマチック液晶）をはじめ、STN（スーパーツイステッドネマチック）、GH（ゲスト・ホスト）、PC（フェーズ・チェンジ）、FLC（強誘電性液晶）、AFLC（反強誘電性液晶）、PDLA（ポリマー分散型液晶）等の各種モード用の液晶を採用してよい。

#### 【0219】

##### <LCDの製造例2>

次に、本実施の形態による低温プロセスの多結晶性シリコンMOSFETを用いたLCD（液晶表示装置）の製造例を示す（この製造例は後述する有機ELやFEDの表示部等にも同様に適用可能である）。

#### 【0220】

この製造例では、上述の製造例1において、基板61としてアルミノケイ酸ガラス、ホウケイ酸ガラス等を使用し、図16の（1）及び（2）の工程を同様に行う。即ち、基板61上に触媒CVDと集光ランプアニールにより多結晶性シリコン膜67を形成してこれをアイランド化し、表示領域のnMOSFET部と周辺駆動回路領域のnMOSFET部及びpMOSFET部を形成する。この場合、同時に、ダイオード、コンデンサ、インダクタンス、抵抗等の領域を形成する。上記と同様に、以降のプロセスの説明はMOSFETについてのものであるが、他の素子のプロセスも同様に処理できることは言うまでもない。

#### 【0221】

次いで、図21の（1）に示すように、各MOSFETゲートチャンネル領域

のキャリア不純物濃度を制御して  $V_{th}$  を最適化するために、表示領域の nMOS TFT 部と周辺駆動回路領域の nMOS TFT 部をフォトレジスト 82 でカバーし、周辺駆動回路領域の pMOS TFT 部に、イオン注入又はイオンドーピング法により例えば矽、ひ素等の n 型不純物 79 を  $1 \times 10^{12}$  atoms/cm<sup>2</sup> のドーズ量でドーピングし、 $2 \times 10^{17}$  atoms/cc のドナー濃度に設定し、更に図 21 の (2) に示すように、周辺駆動回路領域の pMOS TFT 部をフォトレジスト 82 でカバーし、表示領域の nMOS TFT 部と周辺駆動回路領域の nMOS TFT 部に、イオン注入又はイオンドーピング法により例えばボロン等の p 型不純物 83 を  $5 \times 10^{11}$  atoms/cm<sup>2</sup> のドーズ量でドーピングし、 $1 \times 10^{17}$  atoms/cc のアクセプタ濃度を設定する。

#### 【0222】

次いで、図 21 の (3) に示すように、スイッチング特性向上の目的で表示領域の nMOS TFT 部に n<sup>-</sup> 型の LDD (Lightly Doped Drain) 部を形成するために、汎用フォトリソグラフィ技術により、表示領域の nMOS TFT のゲート部と周辺駆動領域の pMOS TFT 及び nMOS TFT 全部をフォトレジスト 82 で覆い、露出した表示領域の nMOS TFT のソース/ドレイン領域に、イオン注入又はイオンドーピング法により例えば矽等の n 型不純物 79 を  $1 \times 10^{13}$  atoms/cm<sup>2</sup> のドーズ量でドーピングし、 $2 \times 10^{18}$  atoms/cc のドナー濃度に設定して、n<sup>-</sup> 型の LDD 部を形成する。

#### 【0223】

次いで、図 22 の (4) に示すように、表示領域の nMOS TFT 部及び周辺駆動回路領域の nMOS TFT 部の全部をフォトレジスト 82 でカバーし、周辺駆動回路領域の pMOS TFT 部のゲート部をフォトレジスト 82 でカバーして露出したソース、ドレイン領域に、イオン注入又はイオンドーピング法により例えばボロン等の p 型不純物 83 を  $1 \times 10^{15}$  atoms/cm<sup>2</sup> のドーズ量でドーピングし、 $2 \times 10^{20}$  atoms/cc のアクセプタ濃度に設定して p<sup>+</sup> 型のソース部 84、ドレイン部 85 を形成する。

#### 【0224】

次いで、図 22 の (5) に示すように、周辺駆動回路領域の pMOS TFT 部

をフォトレジスト82でカバーし、表示領域のnMOS TFTのゲート及びLD部と周辺駆動回路領域のnMOS TFT部のゲート部をフォトレジスト82でカバーし、露出した表示領域及び周辺駆動領域のnMOS TFTのソース、ドレイン領域に、イオン注入又はイオンドーピング法により例えば燐、ひ素等のn型不純物79を $1 \times 10^{15}$  atoms/cm<sup>2</sup>のドーズ量でイオンドーピングし、 $2 \times 10^{20}$  atoms/ccのドナー濃度に設定し、n<sup>+</sup>型のソース部80、ドレイン部81を形成する。

#### 【0225】

次いで、図22の(6)に示すように、プラズマCVD、減圧CVD、触媒CVD法等により、ゲート絶縁膜68として、酸化シリコン膜40～50nm厚、窒化シリコン膜10～20nm厚、酸化シリコン膜40～50nm厚の積層膜を形成する。そして、ハロゲンランプ等でのRTA処理を例えば、約1000℃、10～20秒行い、添加したn又はp型不純物を活性化することにより、設定した各々のキャリア不純物濃度を得る。

#### 【0226】

この後に、全面に400～500nm厚の1%Si入りアルミニウムスパッタ膜を形成し、汎用フォトリソグラフィ及びエッティング技術により、全MOS TFTのゲート電極75及びゲートラインを形成する。更にこの後に、プラズマCVD、触媒CVD法等により、酸化シリコン膜100～200nm厚、フォスフィンシリケートガラス膜(PSG)膜200～300nm厚の積層膜からなる絶縁膜86を形成する。

#### 【0227】

次いで、汎用フォトリソグラフィ及びエッティング技術により、周辺駆動回路の全MOS TFT部のソース/ドレイン部及び表示用nMOS TFT部のソース部の窓開けを行う。窒化シリコン膜はCF<sub>4</sub>のプラズマエッティング、酸化シリコン膜及びフォスフィンシリケートガラス膜はフッ酸系エッティング液でエッティング処理する。

#### 【0228】

次いで、図22の(7)に示すように、全面に400～500nm厚の1%S

i入りアルミニウムスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、周辺駆動回路の全MOS TFTのソース、ドレイン電極88、89、90、91を形成すると同時に、表示用nMOS TFTのソース電極87及びデータラインを形成する。

#### 【0229】

次いで、図示は省略したが、プラズマCVD、減圧CVD、触媒CVD法等により、酸化シリコン膜100～200nm厚、フォスフィンシリケートガラス膜(PSG膜)200～300nm厚、窒化シリコン膜100～300nm厚を全面に形成し、フォーミングガス中で約400℃、1時間の水素化及びシンター処理を行う。その後に、表示用nMOS TFTのドレイン部コンタクト用窓開けを行う。

#### 【0230】

上記において、プラズマCVD法でパッシベーション用水素多含有窒化シリコン膜500～600nm厚を積層形成する場合、窒素又はフォーミングガス中の420℃、約30分の水素化処理により、パッシベーション用窒化シリコン膜中の水素拡散による界面特性の改善、多結晶性シリコン膜の未結合終端での結晶性改善などによるキャリア移動度の向上を図ることができる。なお、窒化シリコン膜は水素を閉じ込めるので、水素化処理の効果を高めるには、本実施の形態のように多結晶性シリコン膜を窒化シリコン膜で挟む構造、つまりガラス基板/Naイオン阻止及び保護用窒化シリコン膜+酸化シリコン膜/多結晶性シリコン膜/ゲート絶縁膜(酸化シリコン膜等)/ゲート電極/酸化シリコン膜及びパッシベーション用窒化シリコン膜とするのが好ましい(これは他の例でも同様)。このときに、この水素化処理により、同時に1%Si入りアルミニウム合金膜とソース/ドレイン領域のシリコンのシンター処理を行い、オームикコンタクトを得る。

#### 【0231】

なお、LCDが透過型の場合は、画素開口部の酸化シリコン膜、フォスフィンシリケートガラス膜及び窒化シリコン膜は除去し、また反射型の場合は、画素開口部等の酸化シリコン膜、フォスフィンシリケートガラス膜及び窒化シリコン膜

は除去する必要はない（これは上述又は後述のLCDにおいても同様である）。

#### 【0232】

透過型の場合、図18の（10）と同様に、全面に、スピンドル等で2~3  $\mu\text{m}$ 厚のアクリル系透明樹脂平坦化膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、表示用MOS TFTのドレイン側の透明樹脂窓開けを形成した後、全面に130~150 nm厚のITOスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、表示用nMOS TFTのドレイン部とコンタクトしたITO透明電極を形成する。更に熱処理（フォーミングガス中で200~250°C、1時間）により、コンタクト抵抗の低減化とITO透明度向上を図る。

#### 【0233】

反射型の場合は、全面に、スピンドル等で2~3  $\mu\text{m}$ 厚の感光性樹脂膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、少なくとも画素部に凹凸形状パターンを形成し、リフローさせて凹凸反射下部を形成する。同時に、表示用nMOS TFTのドレイン部の感光性樹脂窓開けを形成する。しかる後、全面に、300~400 nm厚の1%Si入りアルミニウムスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、画素部以外のアルミニウム膜を除去し、表示用nMOS TFTのドレイン電極と接続した凹凸形状のアルミニウム反射部を形成する。その後に、フォーミングガス中で300°C、1時間シンター処理する。

#### 【0234】

なお、上記において、nMOS TFTのソース、ドレインを形成した後に、集光ランプアニールすれば、低級結晶性シリコン膜の膜温度を局部的に上昇させ、結晶化が促進され、高移動度及び高品質の多結晶性シリコン膜が形成される。同時に、ゲートチャンネル／ソース／ドレイン領域に注入された燐、ひ素、ボロンイオン等が活性化されるので、生産性が良い場合がある。

#### 【0235】

〈ボトムゲート型又はデュアルゲート型MOS TFT〉

MOS TFTを組み込んだ例えはLCDにおいて、上述のトップゲート型に代

えて、ボトムゲート型、デュアルゲート型のMOS TFTからなる透過型LCDを製造した例を述べる（但し、反射型LCDも同様である）。

【0236】

図23（B）に示すように、表示部及び周辺部にはボトムゲート型のnMOS TFTが設けられ、或いは図23（C）に示すように、表示部及び周辺部にはデュアルゲート型のnMOS TFTがそれぞれ設けられている。これらのボトムゲート型、デュアルゲート型MOS TFTのうち、特にデュアルゲート型の場合には上下のゲート部によって駆動能力が向上し、高速スイッチングに適し、また上下のゲート部のいずれかを選択的に用いて場合に応じてトップゲート型又はボトムゲート型として動作させることもできる。

【0237】

図23（B）のボトムゲート型MOS TFTにおいて、図中の102は耐熱性のMo-Ta合金等のゲート電極であり、103は窒化シリコン膜及び104は酸化シリコン膜であってボトムゲート絶縁膜を形成し、このゲート絶縁膜上にはトップゲート型MOS TFTと同様の多結晶性シリコン膜67を用いたチャネル領域等が形成されている。また、図23（C）のデュアルゲート型MOS TFTにおいて、ボトムゲート部はボトムゲート型MOS TFTと同様であるが、トップゲート部は、ゲート絶縁膜106を酸化シリコン膜と窒化シリコン膜で形成し、この上にトップゲート電極75を設けている。

【0238】

＜ボトムゲート型MOS TFTの製造＞

まず、ガラス基板61上の全面に、耐熱性のMo-Ta合金のスパッタ膜を300～400nm厚に形成し、これを汎用フォトリソグラフィ及びエッチング技術により20～45度のテーパーエッチングし、少なくともTFT形成領域に、ボトムゲート電極102を形成すると同時に、ゲートラインを形成する。ガラス材質の使い分けは上述したトップゲート型に準ずる。

【0239】

次いで、プラズマCVD、触媒CVD、減圧CVD等の気相成長法により、ゲート絶縁膜及び保護膜用の窒化シリコン膜103及び酸化シリコン膜104と、

錫含有又は非含有のアモルファスシリコン含有微結晶シリコン膜67Åとを形成する。この膜は上述したと同様に更に集光ランプアニールを行って多結晶性シリコン膜67を形成する。これらの気相成膜条件は上述したトップゲート型に準ずる。なお、ボトムゲート絶縁膜及び保護膜用の窒化シリコン膜はガラス基板からのNaイオンストップ作用を期待して設けるものであるが、合成石英ガラスの場合は不要である。

#### 【0240】

そして次に、上述したと同様に、汎用フォトリソグラフィ及びエッチング技術によりpMOS TFT、nMOS TFT領域をアイランド化し（但し、一方の領域のみを図示：以下、同様）、各チャネル領域のキャリア不純物濃度を制御して $V_{th}$ を最適化するために、イオン注入又はイオンドーピング法によりn型又はp型不純物を適量混入した後、更に、各MOS TFTのソース、ドレイン領域を形成するためにイオン注入又はイオンドーピング法によりn型又はp型不純物を適量混入させる。この後に、それぞれの不純物活性化のためにRTA等によりアニールする。

#### 【0241】

これ以降のプロセスは、上述したものに準ずる。

#### 【0242】

##### <デュアルゲート型MOS TFTの製造>

上記のボトムゲート型と同様に、ボトムゲート電極102、ボトムゲート絶縁膜103及び104、錫含有又は非含有の多結晶性シリコン膜67をそれぞれ形成する。但し、ボトムゲート絶縁膜及び保護膜用の窒化シリコン膜103はガラス基板からのNaイオンストップ作用を期待して設けるものであるが、合成石英ガラスの場合は不要である。

#### 【0243】

そして次に、上述したと同様に、汎用フォトリソグラフィ及びエッチング技術によりpMOS TFT、nMOS TFT領域をアイランド化し、各チャネル領域のキャリア不純物濃度を制御して $V_{th}$ を最適化するために、イオン注入又はイオンドーピング法によりn型又はp型不純物を適量混入した後、更に、各MO

S T F T のソース、ドレイン領域を形成するためにイオン注入又はイオンドーピング法により n 型又は p 型不純物を適當量混入させる。この後に、それぞれの不純物活性化のために R T A 等によりアニールする。

#### 【0244】

次いで、トップゲート絶縁膜 106 用の酸化シリコン膜及び窒化シリコン膜を成膜する。気相成長条件は上述したトップゲート型に準ずる。

#### 【0245】

この後に、全面に 400~500 nm 厚の 1% Si 入りアルミニウムスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、全M O S T F T のトップゲート電極 75 及びゲートラインを形成する。この後に、プラズマ C V D、触媒 C V D 法等により、酸化シリコン膜 100~200 nm 厚、フォスフィンシリケートガラス (P S G) 膜 200~300 nm 厚、窒化シリコン膜 100~200 nm 厚からなる多層絶縁膜 86 を形成する。次に、汎用フォトリソグラフィ及びエッチング技術により、周辺駆動回路の全M O S T F T のソース、ドレイン電極部、さらに表示部 n M O S T F T のソース電極部の窓開けを行う。

#### 【0246】

次いで、全面に 400~500 nm 厚の 1% Si 入りアルミニウムスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、周辺駆動回路の全M O S T F T のソース及びドレインの各アルミニウム電極 87、88 及び表示部 n M O S T F T のアルミニウム電極 89、ソースライン及び配線等を形成する。その後に、フォーミングガス中で約 400°C、1 時間、水素化及びシンター処理する。

#### 【0247】

上述したように、本実施の形態によれば、上述の第 1 の実施の形態と同様に、触媒 C V D 又はプラズマ C V D 等の気相成長法と集光ランプアニールにより、L C D の表示部及び周辺駆動回路部のM O S T F T のゲートチャネル、ソース及びドレイン領域となる、高キャリア移動度で  $V_{th}$  調整が容易であり、低抵抗での高速動作が可能な多結晶性シリコン膜を形成することができる。この多結晶性シリコン膜によるトップゲート、ボトムゲート又はデュアルゲート型M O S T F T

を用いた液晶表示装置は、高いスイッチング特性と低リーク電流のLDD構造を有する表示部と、高性能の駆動回路、映像信号処理回路、メモリー等の周辺回路とを一体化した構成が可能となり、高画質、高精細、狭額縁、高効率、安価な液晶パネルの実現が可能である。

#### 【0248】

そして、低温（300～400°C）で形成できるので、安価で、大型化が容易な低歪点ガラスを採用でき、コストダウンが可能となる。しかも、アレイ部上にカラーフィルタやブラックマスクを作り込むことにより、液晶表示パネルの開口率、輝度等を改善し、カラーフィルタ基板を不要とし、生産性改善等によるコストダウンが実現する。

#### 【0249】

##### <LCDの製造例3>

図24～図26は、アクティブマトリクスLCDの他の製造例を示すものである。

#### 【0250】

まず、図24の（1）に示すように、ほうけい酸ガラス、アルミノけい酸ガラス、石英ガラス、透明性結晶化ガラスなどの絶縁基板61の一主面において、少なくともTFT形成領域に、フォトレジストを所定パターンに形成し、これをマスクとして例えばCF<sub>4</sub>プラズマのF<sup>+</sup>イオンを照射し、リアクティブイオンエッティング（RIE）などの汎用フォトリソグラフィ及びエッティング技術によって基板61に段差223付きの凹部を適当な形状及び寸法で複数個形成する。

#### 【0251】

段差223は、後述の単結晶性シリコンのグラファエピタキシャル成長時のシードとなるものであって、深さd0.01～0.03μm、幅w1～5μm、長さ（紙面垂直方向）5～10μmであってよく、底辺と側面のなす角（底角）は直角とする。なお、基板1の表面には、ガラス基板からのNaイオンなどの拡散防止のため、窒化シリコン膜50～200nm厚と酸化シリコン膜300～400nm厚を予め連続形成しておき、この酸化シリコン膜内に所定形状及び寸法の段差を複数個形成してもよい。

## 【0252】

次いで、図24の(2)に示すように、フォトレジストの除去後に、絶縁基板61の一主面において、触媒CVD又はプラズマCVD等によって、段差223を含む全面に錫又はニッケル含有又は非含有の低級結晶性シリコン膜67Åを例えば100nm厚に形成させる。

## 【0253】

次いで、図24の(3)に示すように、低級結晶性シリコン薄膜67Åに対し、集光ランプアニールによるランプ光照射210を行い、このアニールでの溶融と徐冷却時に、段差223の底辺の角をシードにグラフォエピタキシャル成長させて単結晶性シリコン薄膜67を凹部のみならず、そのラテラル(横)方向の周辺部上にも形成することができる。なお、この集光ランプアニールと低級結晶性半導体薄膜の成膜を繰り返すことにより積層して、 $\mu$ m単位の単結晶性半導体薄膜を形成してもよい(以下、同様)。

## 【0254】

このようにして単結晶性シリコン薄膜67は例えば(100)面が基板上にグラフォエピタキシャル成長する。この場合、段差223は、集光ランプアニールの高エネルギーによってグラフォエピタキシャル成長と称されるエピタキシャル成長のシードとなってこれを促進し、より結晶性の高い単結晶性シリコン薄膜67(約50nm厚)が得られる。これについては、図25に示すように、非晶質基板(ガラス)61に上記の段差223の如き垂直な壁を作り、この上にエピタキシ層を形成すると、図25(a)のようなランダムな面方位であったものが図25(b)のように(100)面が段差223の面に沿って結晶成長する。また、上記段差の形状を図26(a)~(f)のように種々に変えることによって、成長層の結晶方位を制御することができる。MOSトランジスタを作成する場合は、(100)面が最も多く採用されている。要するに、段差223の断面形状は、底辺角部の角度(底角)が直角をはじめ、上端から下端にかけて内向き又は外向きに傾斜していてもよく、結晶成長が生じ易い特定方向の面を有していればよい。段差223の底角は通常は直角又は90°以下が望ましく、その底面の角部は僅かな曲率を有しているのがよい。

## 【0255】

こうして、集光ランプアニール時のグラフォエピタキシャル成長によって基板61上に単結晶性シリコン薄膜67を形成した後、50nm厚の単結晶性シリコン薄膜67を活性層とする例えばトップゲート型MOS TFTの作製を上述したと同様に行う。

## 【0256】

なお、基板61として、ポリイミド等の耐熱性樹脂基板を用い、これに対し少なくともTFT形成領域に所定形状及び寸法の段差223を形成し、上記と同様に処理してもよい。例えば、100μm厚のポリイミド基板に、例えば高さ0.03～0.05μm、幅5μm、長さ10μmの所定寸法／形状の凸部を有する金型をスタンピングして、ほぼ金型と同じ寸法／形状の凹部を形成する。又は、補強材としてのステンレス等の金属板に、コーティング、スクリーン印刷等の方法によりポリイミド等の耐熱性樹脂膜5～10μm厚を形成し、この膜に例えば高さ0.03～0.05μm、幅5μm、長さ10μmの所定寸法／形状の凸部の金型をスタンピングして、少なくともTFT形成領域にほぼ金型と同じ寸法／形状の凹部を形成する。そしてこれ以降は、上記したと同様の工程で単結晶性シリコン薄膜の形成、MOS TFTの形成等を行う。

## 【0257】

以上に説明したように、本例によれば、所定形状／寸法の段差223を有する凹部を基板61に設け、これをシードとして集光ランプアニールによってグラフォエピタキシャル成長させることにより、高いキャリア移動度の単結晶性シリコン薄膜67が得られるので、高性能駆動回路及び映像信号処理回路、メモリー等を内蔵のLCDの製造が可能となる。

## 【0258】

＜LCDの製造例4＞

図27は、アクティブマトリクスLCDの更に他の製造例を示すものである。

## 【0259】

まず、図27の(1)に示すように、絶縁基板61の一主面において、少なくともTFT形成領域に、単結晶シリコンと格子整合の良好な結晶性サファイア薄

膜厚さ10～200nm<sup>224</sup>を形成する。この結晶性サファイア薄膜<sup>224</sup>は、高密度プラズマCVD法や、触媒CVD法等により、トリメチルアルミニウムガスなどを酸化性ガス（酸素・水分）で酸化し、結晶化させて作成する。絶縁基板<sup>61</sup>として石英ガラス、結晶化ガラス、ほうけい酸ガラス、アルミノけい酸ガラス等が使用可能である。

#### 【0260】

次いで、図27の（2）に示すように、触媒CVD法、プラズマCVD法等によって、結晶性サファイア薄膜<sup>224</sup>上に低級結晶性シリコン膜<sup>67A</sup>を例えば100nm厚に形成する。

#### 【0261】

次いで、図27の（3）に示すように、低級結晶性シリコン薄膜<sup>67A</sup>に対し、集光ランプアニールのランプ光照射<sup>210</sup>を行い、溶融と徐冷却により、結晶性サファイア薄膜<sup>224</sup>をシードにヘテロエピタキシャル成長させて単結晶性シリコン薄膜<sup>67</sup>を形成する。即ち、結晶性サファイア膜<sup>224</sup>は単結晶シリコンと良好な格子整合を示すために、これがシードとなって、集光ランプアニールにより単結晶性シリコンは例えば（100）面が基板上に効果的にヘテロエピタキシャル成長する。この場合、上述した段差<sup>223</sup>を形成し、これを含む面上に結晶性サファイア薄膜<sup>224</sup>を形成すれば、段差<sup>223</sup>によるグラフオエピタキシャル成長を加味したヘテロエピタキシャル成長により、より結晶性の高い単結晶性シリコン薄膜<sup>67</sup>が得られる。尚、この集光ランプアニールと低級結晶性半導体薄膜の成膜を繰り返すことにより積層して、μm単位の単結晶性半導体厚膜を形成してもよい。

#### 【0262】

こうして、集光ランプアニール時のヘテロエピタキシャル成長によって基板<sup>61</sup>上に単結晶性シリコン薄膜<sup>67</sup>を析出させた後、この単結晶性シリコン薄膜<sup>67</sup>（約50nm厚）を活性層とする、例えばトップゲート型MOSFETの作製を上述したと同様に行う。

#### 【0263】

以上に説明したように、本例によれば、基板<sup>61</sup>上に設けた結晶性サファイア

薄膜224をシードとして集光ランプアニールでの溶融と徐冷却によりヘテロエピタキシャル成長させることにより、高いキャリア移動度の単結晶性シリコン薄膜67が得られるので、高性能駆動回路、映像信号処理回路及びメモリー等を内蔵のLCDの製造が可能となる。

## 【0264】

また、結晶性サファイア薄膜224などの上記物質層は、様々な原子の拡散バリアになるため、ガラス基板61からの不純物の拡散を制御することができる。この結晶性サファイア薄膜はNaイオンストップ作用があるので、この膜厚が十分に厚い場合には、上記保護膜のうち少なくとも窒化シリコン膜は省略できる。

## 【0265】

なお、結晶性サファイア膜に代えて、これと同様の作用をなす、スピネル構造体、フッ化カルシウム、フッ化ストロンチウム、フッ化バリウム、リン化ボロン、酸化イットリウム及び酸化ジルコニウムからなる群より選ばれた少なくとも1種の物質層が形成されてもよい。

## 【0266】

第3の実施の形態

本実施の形態は、本発明を有機又は無機のエレクトロルミネンス(EL)表示装置、例えば有機EL表示装置に適用したものである。以下にその構造例と製造例を示す。尚、ここではトップゲート型MOS TFTの例であるが、上記のようにボトムゲート型又はデュアルゲート型MOS TFTを適用してもよいことは言うまでもない。

## 【0267】

## &lt;有機EL素子の構造例I&gt;

図28(A)、(B)に示すように、この構造例Iによれば、ガラス等の基板111上に、本発明に基づいて上述した方法で形成された高結晶化率、大粒径の多結晶性シリコン膜(又は単結晶性シリコン膜:以下、多結晶性シリコン膜を例に説明するが、単結晶性シリコン膜も同様である。)によって、スイッチング用MOS TFT1と電流駆動用MOS TFT2のゲートチャネル領域117、ソース領域120及びドレイン領域121が形成されている。そして、ゲート絶縁

膜118上にゲート電極115、ソース及びドレイン領域上にソース電極127及びドレイン電極128、131が形成されている。MOS TFT 1のドレインとMOS TFT 2のゲートとはドレイン電極128を介して接続されていると共に、MOS TFT 2のソース電極127との間に絶縁膜136を介してキャパシタCが形成され、かつ、MOS TFT 2のドレイン電極131は有機EL素子の陰極138にまで延設されている。尚、スイッチング用MOS TFT 1にLDD部を形成してスイッチング特性向上を図ってもよい。

#### 【0268】

各MOS TFTは絶縁膜130で覆われ、この絶縁膜上には陰極を覆うように有機EL素子の例えば緑色有機発光層132（又は青色有機発光層133、更には図示しない赤色有機発光層）が形成され、この有機発光層を覆うように陽極（1層目）134が形成され、更に共通の陽極（2層目）135が全面に形成されている。なお、CMOS TFTからなる周辺駆動回路、映像信号処理回路、メモリ回路等の製法は、上述した液晶表示装置に準ずる（以下、同様）。

#### 【0269】

この構造の有機EL表示部は、有機EL発光層が電流駆動用MOS TFT 2のドレインに接続され、陰極（Li-Al、Mg-Agなど）138がガラス等の基板111の面に被着され、陽極（ITO膜など）134、135がその上部に設けられており、従って、上面発光136となる。また、陰極がMOS TFT上を覆っている場合は発光面積が大きくなり、このときには陰極が遮光膜となり、発光光等がMOS TFTに入射しないのでリーク電流発生がなく、TFT特性の悪化がない。

#### 【0270】

また、各画素部周辺に図28（C）のようにブラックマスク部（クロム、二酸化クロム等）140を形成すれば、光漏れ（クロストーク等）を防止し、コントラストの向上が図れる。

#### 【0271】

なお、画素表示部に緑色、青色、赤色の3色発光層を使用する方法、色変換層を使用する方法、白色発光層にカラーフィルターを使用する方法のいずれでも、

良好なフルカラーの有機EL表示装置が実現でき、また、各色発光材料である高分子化合物のスピンドローティング法、又は金属錯体の真空加熱蒸着法においても、長寿命、高精度、高品質、高信頼性のフルカラー有機EL部を生産性良く作成できるので、コストダウンが可能となる（以下、同様）。

## 【0272】

次に、この有機EL素子の製造プロセスを説明すると、まず、図29の（1）に示すように、上述した工程を経て多結晶性シリコン膜からなるソース領域120、チャンネル領域117及びドレイン領域121を形成した後、ゲート絶縁膜118を形成し、この上にMOSFT1、2のゲート電極115をMo-Ta合金等のスパッタリング成膜と汎用フォトリソグラフィ及びエッチング技術により形成し、またMOSFT1のゲート電極に接続されるゲートラインをスパッタリング成膜と汎用フォトリソグラフィ及びエッチング技術により（以下、同様）形成する。そして、オーバーコート膜（酸化シリコン等）137を触媒CVD等の気相成長法により（以下、同様）形成後、MOSFT2のソース電極127及びアースラインを形成し、更にオーバーコート膜（酸化シリコン／窒化シリコン積層膜）136を形成する。ハロゲンランプ等でのRTA（Rapid Thermal Anneal）処理（例えば約1000°C、30秒）により、イオンドーピングしたn又はp型不純物を活性化させる。

## 【0273】

次いで、図29の（2）に示すように、MOSFT1のソース／ドレイン部、MOSFT2のゲート部の窓開けを行った後、図29の（3）に示すように、1%Si入りAlのスパッタリング及び汎用フォトリソグラフィ及びエッチング技術によりMOSFT1のドレイン電極とMOSFT2のゲート電極を1%Si入りAl配線128で接続し、同時にMOSFT1のソース電極と、この電極に接続される1%Si入りAlからなるソースラインを形成する。そして、オーバーコート膜（酸化シリコン／フォスファリケートガラス／窒化シリコン積層膜等）122を形成し、MOSFT2のドレイン部の窓開けを行い、MOSFT2のドレイン部と接続した発光部の陰極138を形成する。

## 【0274】

次いで、図29の(4)に示すように、有機発光層132等及び陽極134、135を形成する。

【0275】

従来の周辺駆動回路一体型のアクティブマトリックス型有機EL表示装置では、X方向信号線とY方向信号線により画素が特定され、その画素においてスイッチ用MOS TFTがオンされてその信号保持用コンデンサに画像データが保持される。これにより電流制御用MOS TFTがオンされ、電源線より有機EL素子に画像データに応じたバイアス用の電流が流れ、これが発光する。しかしこのときに、アモルファスシリコンMOS TFTの場合は、 $V_{th}$ が変動して電流値が変わり易く、画質に変動が起きやすい。しかも、キャリア移動度が小さいため高速応答でドライブできる電流にも限界があり、またpチャンネルの形成が困難で小規模なCMOS回路構成さえも困難である。

【0276】

これに対し、本発明に基づいて上記したように、比較的大面積化が容易でかつ高信頼性であってキャリア移動度も高く、CMOS回路構成も可能な多結晶性シリコンTFTを実現することができる。

【0277】

なお、上記において、緑色(G)発光有機EL層、青色(B)発光有機EL層、赤色(R)発光有機EL層はそれぞれ、100～200nm厚に形成するが、これらの有機EL層は、低分子化合物の場合は真空加熱蒸着法で形成され、高分子化合物の場合はディッピングコーティング、スピンドルコーティングなどの塗布法やインクジェット法によりR、G、B発光ポリマーを配列する方法が用いられる。金属錯体の場合は、昇華可能な材料を真空加熱蒸着法で形成される。

【0278】

有機EL層には、単層型、二層型、三層型等があるが、ここでは低分子化合物の三層型の例を示す。

単層型；陽極／バイポーラー発光層／陰極、

二層型；陽極／ホール輸送層／電子輸送性発光層／陰極、又は陽極／ホール輸送性発光層／電子輸送層／陰極、

三層型；陽極／ホール輸送層／発光層／電子輸送層／陰極、又は陽極／ホール輸送性発光層／キャリアブロック層／電子輸送性発光層／陰極

## 【0279】

なお、図28（B）の素子において、有機発光層の代わりに公知の発光ポリマーを用いれば、パッシブマトリクス又はアクティブマトリクス駆動の発光ポリマー表示装置（LEPD）として構成することができる（以下、同様）。

## 【0280】

＜有機EL素子の構造例II＞

図30（A）、（B）に示すように、この構造例IIによれば、ガラス等の基板111上に、上記の構造例Iと同様に、本発明に基づいて上述した方法で形成された高結晶化率、大粒径の多結晶性シリコン膜によって、スイッチング用MOS TFT1と電流駆動用MOSTFT2のゲートチャネル117、ソース領域120及びドレイン領域121が形成されている。そして、ゲート絶縁膜118上にゲート電極115、ソース及びドレイン領域上にソース電極127及びドレン電極128、131が形成されている。MOSTFT1のドレンとMOSTFT2のゲートとはドレン電極128を介して接続されていると共に、MOSTFT2のドレン電極131との間に絶縁膜136を介してキャパシタCが形成され、かつ、MOSTFT2のソース電極127は有機EL素子の陽極144にまで延設されている。尚、スイッチング用MOSTFT1にLDD部を形成してスイッチング特性向上を図ってもよい。

## 【0281】

各MOSTFTは絶縁膜130で覆われ、この絶縁膜上には陽極を覆うように有機EL素子の例えは緑色有機発光層132（又は青色有機発光層133、更には図示しない赤色有機発光層）が形成され、この有機発光層を覆うように陰極（1層目）141が形成され、更に共通の陰極（2層目）142が全面に形成されている。

## 【0282】

この構造の有機EL表示部は、有機EL発光層が電流駆動用MOSTFT2のソースに接続され、ガラス等の基板111の面に被着された陽極144を覆うよ

うに有機EL発光層を形成し、その有機EL発光層を覆うように陰極141を形成し、全面に陰極142を形成しており、従って、下面発光136となる。また、陰極が有機EL発光層間及びMOS TFT上を覆っている。即ち、全面に、例えば緑色発光有機EL層を真空加熱蒸着法等により形成した後に、緑色発光有機EL部をフォトリソグラフィ及びドライエッティングで形成し、連続して同様に、青色、赤色発光有機EL部を形成し、最後に全面に陰極（電子注入層）141をマグネシウム：銀合金又はアルミニウム：リチウム合金により形成する。この全面に更に形成した陰極（電子注入層）142で密封するので、外部から有機EL層間に湿気が侵入することを特に全面被着の陰極142により防止して湿気に弱い有機EL層の劣化や電極の酸化を防止し、長寿命、高品質、高信頼性が可能となる（これは、図28の構造例Iでも陽極で全面被覆されているため、同様である）。また、陰極141及び142により放熱効果が高まるので、発熱による有機EL薄膜の構造変化（融解又は再結晶化）が低減し、長寿命、高品質、高信頼性が可能となる。しかも、これによって、高精度、高品質のフルカラーの有機EL層を生産性良く作成できるので、コストダウンが可能となる。

#### 【0283】

また、各画素部周辺に図30（C）のようにブラックマスク部（クロム、二酸化クロム等）140を形成すれば、光漏れ（クロストーク等）を防止し、コントラストの向上が図れる。なお、このブラックマスク部140は、絶縁性膜、例えば酸化シリコン膜143（これはゲート絶縁膜118と同時に同一材料で形成してよい。）によって覆われている。

#### 【0284】

次に、この有機EL素子の製造プロセスを説明すると、まず、図31の（1）に示すように、上述した工程を経て多結晶性シリコン膜からなるソース領域120、チャンネル領域117及びドレイン領域121を形成した後、触媒CVD等の気相成長法によりゲート絶縁膜118を形成し、Mo-Ta合金のスパッタリング成膜及び汎用フォトリソグラフィ及びエッティング技術によりこの上にMOS TFT1、2のゲート電極115を形成し、同時にMOS TFT1のゲート電極に接続されるゲートラインを形成する。そして、触媒CVD等の気相成長法によ

リオーバーコート膜（酸化シリコン等）137を形成後、Mo-Ta合金のスパッタリング成膜及び汎用フォトリソグラフィ及びエッチング技術によりMOSTFT2のドレイン電極131及び $V_{dd}$ ラインを形成し、更に触媒CVD等の気相成長法によりオーバーコート膜（酸化シリコン／窒化シリコン積層膜等）136を形成する。なお、ハロゲンランプ等でのRTA（Rapid Thermal Anneal）処理（例えば、約1000°C、10～30秒）により、イオン注入したキャリア不純物を活性化させる。

#### 【0285】

次いで、図31の（2）に示すように、汎用フォトリソグラフィ及びエッチング技術によりMOSTFT1のソース／ドレイン部、MOSTFT2のゲート部の窓開けを行った後、図31の（3）に示すように、1%Si入りA1のスパッタリング成膜及び汎用フォトリソグラフィ及びエッチング技術により、MOSTFT1のドレインとMOSTFT2のゲートを1%Si入りA1配線128で接続し、同時にMOSTFT1のソースに接続される1%Si入りA1からなるソースラインを形成する。そして、オーバーコート膜（酸化シリコン／オスフィンシリケートガラス／窒化シリコン積層膜等）130を形成し、汎用フォトリソグラフィ及びエッチング技術によりMOSTFT2のソース部の窓開けを行い、ITO等のスパッタリング及び汎用フォトリソグラフィ及びエッチング技術によりMOSTFT2のソース部と接続した発光部の陽極144を形成する。

#### 【0286】

次いで、図31の（4）に示すように、上記のように有機発光層132等及び陰極141、142を形成する。

#### 【0287】

なお、以下に述べる有機ELの各層の構成材料や形成方法は図30の例に適用されるが、図28の例にも同様に適用されてよい。

#### 【0288】

緑色発光有機EL層に低分子化合物を用いる場合は、ガラス基板上の陽極（ホール注入層）である、電流駆動用MOSTFTのソース部とコンタクトしたITO透明電極上に、連続した真空加熱蒸着法により形成する。

- 1) ホール輸送層は、アミン系化合物（例えば、トリアリールアミン誘導体、アリールアミンオリゴマー、芳香族第三アミン等）等
- 2) 発光層は、緑色発光材料であるトリス（8-ヒドロキシキシリノ）A1錯体（A1q）等
- 3) 電子輸送層は、1, 3, 4-オキサジアゾール誘導体（OXD）、1, 2, 4-トリアゾール誘導体（TAZ）等
- 4) 陰極である電子注入層は、4 eV以下の仕事関数を有する材料で作られるのが好ましい。

例えば、10:1（原子比）のマグネシウム：銀合金の10~30 nm厚アルミニウム：リチウム（濃度は0.5~1%）合金の10~30 nm厚ここで、銀は有機界面との接着性を増すためにマグネシウム中に1~10原子%添加され、リチウムは安定化のためにアルミニウム中に濃度は0.5~1%添加される。

#### 【0289】

緑色画素部を形成するには、緑色画素部をフォトレジストでマスクし、CCl<sub>4</sub>ガスのプラズマエッチングにより陰極である電子注入層のアルミニウム：リチウム合金を除去し、連続して電子輸送層、発光層、ホール輸送層の低分子系化合物及びフォトレジストを酸素プラズマエッチングで除去し、緑色画素部を形成する。この時に、フォトレジストの下にはアルミニウム：リチウム合金があるので、フォトレジストがエッチングされても問題ない。又、この時に、電子輸送層、発光層、ホール輸送層の低分子系化合物層は、ホール注入層のITO透明電極よりも大きい面積とし、後工程で全面に形成する陰極の電子注入層（マグネシウム：銀合金）と電気的ショートしないようにする。

#### 【0290】

次に、青色発光有機EL層を低分子化合物で形成する場合は、ガラス基板上の陽極（ホール注入層）である電流駆動用TFTのソース部とコンタクトしたITO透明電極上に、連続して真空加熱蒸着により形成する。

- 1) ホール輸送層は、アミン系化合物（例えば、トリアリールアミン誘導体、アリールアミンオリゴマー、芳香族第三アミン等）等

- 2) 発光層は、青色発光材料であるDTVBiのようなジスチリル誘導体等
- 3) 電子輸送層は、1, 3, 4-オキサジアゾール誘導体(TAZ)、1, 2, 4-トリアゾール誘導体(TAZ)等
- 4) 陰極である電子注入層は、4eV以下の仕事関数を有する材料で作られるのが好ましい。

例えば、10:1(原子比)のマグネシウム:銀合金の10~30nm厚アルミニウム:リチウム(濃度は0.5~1%)合金の10~30nm厚ここで、銀は有機界面との接着性を増すためにマグネシウム中に1~10原子%添加され、リチウムは安定化のためにアルミニウム中に濃度は0.5~1%添加される。

#### 【0291】

青色画素部を形成するには、青色画素部をフォトレジストでマスクし、CCl<sub>4</sub>ガスのプラズマエッチングで陰極である電子注入層のアルミニウム:リチウム合金を除去し、連続して電子輸送層、発光層、ホール輸送層の低分子系化合物及びフォトレジストを酸素プラズマエッチングで除去し、青色画素部を形成する。この時に、フォトレジストの下にはアルミニウム:リチウム合金があるので、フォトレジストがエッチングされても問題ない。又、この時に、電子輸送層、発光層、ホール輸送層の低分子系化合物層は、ホール注入層のITO透明電極よりも大きい面積とし、後工程で全面に形成する陰極の電子注入層(マグネシウム:銀合金)と電気的ショートしないようにする。

#### 【0292】

また、赤色発光有機EL層を低分子化合物で形成する場合は、ガラス基板上の陽極(ホール注入層)である電流駆動用TFTのソース部とコンタクトしたITO透明電極上に、連続して真空加熱蒸着により形成する。

- 1) ホール輸送層は、アミン系化合物(例えば、トリアリールアミン誘導体、アリールアミンオリゴマー、芳香族第三アミン等)等
- 2) 発光層は、赤色発光材料であるEu(Eu(DBM)<sub>3</sub>(Phen))等
- 3) 電子輸送層は、1, 3, 4-オキサジアゾール誘導体(OXD)、1, 2, 4-トリアゾール誘導体(TAZ)等

4) 陰極である電子注入層は、4 eV以下の仕事関数を有する材料で作られるのが好ましい。

例えば、10:1（原子比）のマグネシウム：銀合金の10~30 nm厚アルミニウム：リチウム（濃度は0.5~1%）合金の10~30 nm厚銀は有機界面との接着性を増すためにマグネシウム中に1~10原子%添加され、リチウムは安定化のためにアルミニウム中に濃度は0.5~1%添加される。

#### 【0293】

赤色画素部を形成するには、赤色画素部をフォトレジストでマスクし、CC1<sub>4</sub>ガスのプラズマエッティングで陰極である電子注入層のアルミニウム：リチウム合金を除去し、連続して電子輸送層、発光層、ホール輸送層の低分子系化合物及びフォトレジストを酸素プラズマエッティングで除去し、赤色画素部を形成する。この時に、フォトレジストの下にはアルミニウム：リチウム合金があるので、フォトレジストがエッティングされても問題ない。又、この時に、電子輸送層、発光層、ホール輸送層の低分子系化合物層は、ホール注入層のITO透明電極よりも大きい面積とし、後工程で全面に形成する陰極の電子注入層（マグネシウム：銀合金）と電気的ショートしないようにする。

#### 【0294】

陰極である電子注入層は、4 eV以下の仕事関数を有する材料で作られるのが好ましい。例えば、10:1（原子比）のマグネシウム：銀合金の10~30 nm厚、又はアルミニウム：リチウム（濃度は0.5~1%）合金の10~30 nm厚とする。ここで、銀は有機界面との接着性を増すためにマグネシウム中に1~10原子%添加され、リチウムは安定化のためにアルミニウム中に濃度は0.5~1%添加される。なお、スパッタリングで成膜してもよい。

#### 【0295】

### 第4の実施の形態

本実施の形態は、本発明を電界放出型（フィールドエミッショ n）ディスプレイ装置（FED: Field Emission Display）に適用したものである。以下にその構造例と製造例を示す。尚、ここではトップゲート型MOS TFTの例であるが

、上記のようにボトムゲート型又はデュアルゲート型MOSFETを適用してもよいことは言うまでもない。

### 【0296】

#### <FEDの構造例I>

図32 (A)、(B)、(C)に示すように、この構造例Iによれば、ガラス等の基板111上に、本発明に基づいて上述した方法で形成された高結晶化率、大粒径の多結晶性シリコン膜によって、スイッチング用MOSFET1と電流駆動用MOSFET2のゲートチャネル領域117、ソース領域120及びドレイン領域121が形成されている。そして、ゲート絶縁膜118上にゲート電極115、ソース及びドレイン領域上にソース電極127及びドレイン電極128が形成されている。MOSFET1のドレインとMOSFET2のゲートとはドレイン電極128を介して接続されると共に、MOSFET2のソース電極127との間に絶縁膜136を介してキャパシタCが形成され、かつ、MOSFET2のドレイン領域121はそのままFED素子のFEC(電界放出カソード)にまで延設され、エミッタ領域152として機能している。尚、スイッチング用MOSFETにはLDD部を形成してスイッチング特性向上を図ってもよい。

### 【0297】

各MOSFETは絶縁膜130で覆われ、この絶縁膜上には、FECのゲート引き出し電極150と同一材料にて同一工程で接地用の金属遮蔽膜151が形成され、各MOSFET上を覆っている。FECにおいては、多結晶性シリコン膜からなるエミッタ領域152上に電界放出エミッタとなるn型多結晶性シリコン膜153が形成され、更にm×n個の各エミッタに区画するための開口を有するように、絶縁膜118、137、136及び130がパターニングされ、この上面にはゲート引き出し電極150が被着されている。

### 【0298】

また、このFECに対向して、バックメタル155付きの蛍光体156をアノードとして形成したガラス基板等の基板157が設けられており、FECとの間は高真空中に保持されている。

### 【0299】

この構造のFECにおいては、ゲート引き出し電極150の開口下には、本発明に基づいて形成された多結晶性シリコン膜152上に成長されたn型多結晶性シリコン膜153が露出し、これがそれぞれ電子154を放出する薄膜の面放出型エミッタとして機能する。即ち、エミッタの下地となる多結晶性シリコン膜152は、大粒径（グレインサイズ数100nm以上）のグレインからなっているため、これをシードとしてその上にn型多結晶性シリコン膜153を触媒CVD等によって成長させると、この多結晶性シリコン膜153はさらに大きな粒径で成長し、表面が電子放出にとって有利な微細な凹凸158を生じるように形成されるのである。

#### 【0300】

従って、エミッタが薄膜からなる面放出型であるために、その形成が容易であると共に、エミッタ性能も安定し、長寿命化が可能となる。

#### 【0301】

また、すべての能動素子（これには周辺駆動回路及び画素表示部のMOSFETとダイオードが含まれる。）の上部にアース電位の金属遮蔽膜151（この金属遮蔽膜は、ゲート引き出し電極150と同じ材料（Nb、Ti/Mo等）、同じ工程で形成すると工程上都合がよい。）が形成されているので、次の（1）、（2）の利点を得ることができ、高品質、高信頼性のフィールドエミッションディスプレイ（FED）装置を実現することが可能となる。

#### 【0302】

（1）気密容器内にあるガスがエミッタ（電界放出カソード）153から放出された電子により正イオン化されて絶縁層上にチャージアップし、この正電荷が絶縁層下にあるMOSFETに不要な反転層を形成し、この反転層からなる不要な電流経路を介して余分な電流が流れるために、エミッタ電流の暴走が起きる。しかし、MOSFET上の絶縁層に金属遮蔽膜151を形成してアース電位に落としているので、チャージアップ防止が可能となり、エミッタ電流の暴走を防止できる。

#### 【0303】

（2）エミッタ（電界放出カソード）153から放出された電子の衝突により螢

光体156が発光するが、この光によりMOS TFTのゲートチャネル内に電子、正孔が発生し、リーク電流となる。しかし、MOS TFT上の絶縁層に金属遮蔽膜151が形成されているので、TFTへの光入射が防止され、TFTの動作不良は生じない。

#### 【0304】

次に、このFEDの製造プロセスを説明すると、まず、図33の(1)に示すように、上述した工程を経て全面に多結晶性シリコン膜117を形成した後、汎用フォトリソグラフィ及びエッティング技術によりMOS TFT1とMOS TFT2及びエミッタ領域にアイランド化し、プラズマCVD、触媒CVD法等により全面に保護用酸化シリコン膜159を形成する。

#### 【0305】

次いで、MOS TFT1、2のゲートチャネル不純物濃度の制御による $V_{th}$ の最適化のために、イオン注入又はイオンドーピング法により全面にボロンイオン83を $5 \times 10^{11} \text{ atoms/cm}^2$ のドーズ量でドーピングし、 $1 \times 10^{17} \text{ atoms/cc}$ のアクセプタ濃度に設定する。

#### 【0306】

次いで、図33の(2)に示すように、フォトレジスト82をマスクにして、イオン注入又はイオンドーピング法によりMOS TFT1、2のソース/ドレイン部及びエミッタ領域に磷イオン79を $1 \times 10^{15} \text{ atoms/cm}^2$ のドーズ量でドーピングし、 $2 \times 10^{20} \text{ atoms/cc}$ のドナー濃度に設定し、ソース領域120、ドレイン領域121、エミッタ領域152をそれぞれ形成した後、汎用フォトリソグラフィ及びエッティング技術によりエミッタ領域の保護用酸化シリコン膜を除去する。尚、この時に、MOS TFT1に $(1 \sim 5) \times 10^{18} \text{ atoms/cc}$ のドナー濃度のLDD領域を形成してスイッチング特性を向上させてもよい。

#### 【0307】

次いで、図33の(3)に示すように、エミッタ領域を形成する多結晶性シリコン膜152をシードに、モノシリコンと $\text{PH}_3$ 等のドーパントを適量比率(例えば $10^{20} \text{ atoms/cc}$ )混合した触媒CVD又はバイアス触媒CVD等によ

り、表面に微細凹凸158を有するn型多結晶性シリコン膜153を1~5μm厚にエミッタ領域に形成し、同時に他の酸化シリコン膜159及びガラス基板111上にはn型アモルファスシリコン膜160を1~5μm厚に形成する。

#### 【0308】

次いで、図33の(4)に示すように、上述した触媒AHA処理時の水素系活性種（活性化水素イオン等）により、アモルファスシリコン膜160をエッティング除去し、酸化シリコン膜159のエッティング除去後に触媒CVD等によりゲート絶縁膜（酸化シリコン膜）118を形成する。

#### 【0309】

次いで、図34の(5)に示すように、スパッタリング法によるMo-Ta合金等の耐熱性金属によりMOS TFT 1、2のゲート電極115、MOS TFT 1のゲート電極に接続されるゲートラインを形成し、オーバーコート膜（酸化シリコン膜等）137を形成した後、ハロゲンランプ等によるRTA (Rapid Thermal Anneal) 処理でドーピングされたn型及びp型不純物を活性化させ、MOS TFT 2のソース部窓開け後にスパッタリング法によるMo-Ta合金等の耐熱性金属でMOS TFT 2のソース電極127及びアースラインを形成する。更に、プラズマCVD、触媒CVD等によりオーバーコート膜（酸化シリコン／窒化シリコン積層膜等）136を形成する。

#### 【0310】

次いで、図34の(6)に示すように、MOS TFT 1のソース／ドレイン部及びMOS TFT 2のゲート部の窓開けを行い、MOS TFT 1のドレインとMOS TFT 2のゲートを1%Si入りAl配線128で接続し、同時にMOS TFT 1のソース電極とそのソースに接続されるソースライン127を形成する。この後に、フォーミングガス中で400℃、30分の水素化及びシンター処理する。

#### 【0311】

次いで、図34の(7)に示すように、オーバーコート膜（酸化シリコン／フオスフィンシリケートガラス／窒化シリコン積層膜等）130を形成した後、GNDラインの窓開けし、図34の(8)に示すように、ゲート引き出し電極15

0や金属遮蔽膜151をNb蒸着後のエッティングで形成し、更に電界放出カソード部を窓開けしてエミッタ153を露出させ、上述したプラズマ又は触媒AHA処理の水素系活性種（活性化水素イオン等）でクリーニングする。

### 【0312】

従来のフィールドエミッショニスプレイ（FED）装置は、単純マトリックスとアクティブマトリックス駆動に大別され、電界放出電子源（Field Emitter）には、スピント型モリブデンエミッタ、コーン型シリコンエミッタ、MIMトンネルエミッタ、ポーラスシリコンエミッタ、ダイヤモンドエミッタ、表面伝導エミッタなどがあり、いずれも平面基板上にエミッタを集積することができる。単純マトリックス駆動は、XYマトリックスに配列したフィールドエミッタアレイを1画素として使用し、画素ごとに放出量を制御して画像表示を行う。又、アクティブマトリックス駆動は、MOSTFTのドレイン部に形成されたエミッタの放出電流を制御ゲートによってコントロールする。これは、作製プロセスが通常のシリコンLSIとコンパチブルなので、フィールドエミッショニスプレイ周辺に複雑な処理回路を作りつけることが容易である。しかし、シリコン単結晶基板を用いるために、基板コストが高く、ウエーハサイズ以上の大面积化が困難である。そして、カソード電極表面に減圧CVD等により導電性の多結晶シリコン膜と、その表面にプラズマCVD等により結晶性ダイヤモンド膜からなるエミッタの製造が提案されているが、減圧CVD時の成膜温度が630°Cと高く、ガラス基板を採用できないので、コストダウンが難しい。そして、その減圧CVDによる多結晶シリコン膜は粒径が小さく、その上の結晶性ダイヤモンド膜も粒径が小さく、エミッタの特性が良くない。更に、プラズマCVDでは、反応エネルギーが不足しているので、良い結晶性ダイヤモンド膜は得にくい。又、透明電極又はAl、Ti、Cr等の金属のカソード電極と導電性の多結晶シリコン膜との接合性が悪いので、良好な電子放出特性は得られない。

### 【0313】

これに対し、本発明に基づいて形成された大粒径多結晶性シリコン膜は、ガラス等の基板上に形成可能であって、電流駆動用TFTのドレインとつながったエミッタ領域の大粒径多結晶性シリコン膜であり、これをシードに触媒CVDなど

により、n型（又はn<sup>+</sup>型）の大粒径多結晶性シリコン膜（これは単結晶性シリコン膜として成長させることもできる。）（又は後述の多結晶性ダイヤモンド膜）のエミッタを形成し、その後に連続して触媒AHA処理などによりアモルファス構造のシリコン膜又はアモルファス構造のダイヤモンド膜（DLC: Diamond Like Carbonとも言う。）を還元エッティングして表面に無数の凹凸形状を有する高結晶化率／大粒径のエミッタを形成するので、電子放出効率の高いエミッタを形成でき、またドレインとエミッタの接合性が良好であり、高効率のエミッタ特性が可能となる。こうして、上記した従来の問題点を解消することができる（以下、同様）。

#### 【0314】

また、1つの画素表示部のエミッタ領域を複数に分割し、それぞれにスイッチング素子のMOS TFTを接続すれば、たとえ1つのMOS TFTが故障しても、他のMOS TFTが動作するので、1つの画素表示部は必ず電子放出する構成となり、高品質で歩留が高く、コストダウンできる（以下、同様）。又、これらのMOS TFTにおいて電気的オープン不良のMOS TFTは問題ないが、電気的ショートしたMOS TFTはレーザーリペアで分離するのが一般的な歩留向上対策であるが、本発明に基づく上記構成はそれに対応できるので、高品質で歩留が高く、コストダウンできる（以下、同様）。

#### 【0315】

##### <FEDの構造例II>

図35(A)、(B)、(C)に示すように、この構造例IIによれば、ガラス等の基板111上に、上記の構造例Iと同様に、本発明に基づいて上述した方法で形成された高結晶化率、大粒径の多結晶性シリコン膜によって、スイッチング用MOS TFT1と電流駆動用MOS TFT2のゲートチャネル領域117、ソース領域120及びドレイン領域121が形成されている。そして、ゲート絶縁膜118上にゲート電極115、ソース及びドレイン領域上にソース電極127及びドレイン電極128が形成されている。MOS TFT1のドレインとMOS TFT2のゲートとはドレイン電極128を介して接続されていると共に、MOS TFT2のソース電極127との間に絶縁膜136を介してキャパシタCが

形成され、かつ、MOS TFT 2 のドレイン領域 121 はそのまま FED 素子の FEC (電界放出カソード) にまで延設され、エミッタ領域 152 として機能している。尚、スイッチング用MOS TFT 1 に LDD 部を形成することによりスイッチング特性向上を図ってもよい。

#### 【0316】

各MOS TFT は絶縁膜 130 で覆われ、この絶縁膜上には、FEC のゲート引き出し電極 150 と同一材料にて同一工程で接地用の金属遮蔽膜 151 が形成され、各MOS TFT 上を覆っている。FECにおいては、多結晶シリコン膜からなるエミッタ領域 152 上に電界放出エミッタとなる n 型多結晶性ダイヤモンド膜 163 が形成され、更に  $m \times n$  個の各エミッタに区画するための開口を有するように、絶縁膜 118、137、136 及び 130 がパターニングされ、この上面にはゲート引き出し電極 150 が被着されている。

#### 【0317】

また、このFEC に対向して、バックメタル 155 付きの蛍光体 156 をアノードとして形成したガラス基板等の基板 157 が設けられており、FEC との間は高真空中に保持されている。

#### 【0318】

この構造のFEC は、ゲート引き出し電極 150 の開口下には、本発明に基づいて形成された多結晶性シリコン膜 152 上に成長された n 型多結晶性ダイヤモンド膜 163 が露出し、これがそれぞれ電子 154 を放出する薄膜の面放出型のエミッタとして機能する。即ち、エミッタの下地となる多結晶性シリコン膜 152 は、大粒径 (グレインサイズ数 100 nm 以上) のグレインからなっているため、これをシードとしてその上に n 型多結晶性ダイヤモンド膜 163 を触媒 CVD 等によって成長させると、この多結晶性ダイヤモンド膜 163 はやはり大粒径で成長し、表面が電子放出にとって有利な微細な凹凸 168 を生じるように形成されるのである。

#### 【0319】

従って、エミッタが薄膜からなる面放出型であるために、その形成が容易であると共に、エミッタ性能も安定し、長寿命化が可能となる。

## 【0320】

また、すべての能動素子（これには周辺駆動回路及び画素表示部のMOSFTとダイオードが含まれる。）の上部にアース電位の金属遮蔽膜151（この金属遮蔽膜は、ゲート引き出し電極150と同じ材料（Nb、Ti/Mo等）、同じ工程で形成すると工程上都合がよい。）が形成されているので、上述したと同様に、MOSFT上の絶縁層に金属遮蔽膜151を形成してアース電位に落とし、チャージアップ防止が可能となり、エミッタ電流の暴走を防止でき、また、MOSFT上の絶縁層に金属遮蔽膜151が形成されているので、MOSFTへの光入射が防止され、MOSFTの動作不良は生じない。このために高品質、高信頼性のフィールドエミッションディスプレイ（FED）装置を実現することが可能となる。

## 【0321】

次に、このFEDの製造プロセスを説明すると、まず、図36の（1）に示すように、上述した工程を経て全面に多結晶性シリコン膜117を形成した後、汎用フォトリソグラフィ及びエッティング技術によりMOSFT1とMOSFT2及びエミッタ領域にアイランド化し、プラズマCVD、触媒CVD法等により全面に保護用酸化シリコン膜159を形成する。

## 【0322】

次いで、MOSFT1、2のゲートチャンネル不純物濃度の制御による $V_{th}$ の最適化のために、イオン注入又はイオンドーピング法により全面にボロンイオン83を $5 \times 10^{11} \text{ atoms/cm}^2$ のドーズ量でドーピングし、 $1 \times 10^{17} \text{ atoms/cc}$ のアクセプタ濃度に設定する。

## 【0323】

次いで、図36の（2）に示すように、フォトレジスト82をマスクにして、イオン注入又はイオンドーピング法によりMOSFT1、2のソース/ドレイン部及びエミッタ領域に矽イオン79を $1 \times 10^{15} \text{ atoms/cm}^2$ のドーズ量でドーピングし、 $2 \times 10^{20} \text{ atoms/cc}$ のドナー濃度に設定し、ソース領域120、ドレイン領域121、エミッタ領域152をそれぞれ形成した後、汎用フォトリソグラフィ及びエッティング技術によりエミッタ領域の保護用酸化シリコン膜159を形成する。

リコン膜を除去する。

### 【0324】

次いで、図36の(3)に示すように、エミッタ領域を形成する多結晶性シリコン膜152をシードに、モノシランとメタン( $\text{CH}_4$ )及びn型ドーパントを適量比率混合し、触媒CVD又はバイアス触媒CVD等により、表面に微細凹凸168を有するn<sup>+</sup>型多結晶性ダイヤモンド膜163をエミッタ領域に形成し、同時に他の酸化シリコン膜159及びガラス基板111上にはn<sup>+</sup>型アモルファスダイヤモンド膜170を形成する。例えば、触媒CVD等により大粒径多結晶性シリコン膜152をシードにn<sup>+</sup>型結晶性ダイヤモンド膜のエミッタ領域163を形成するが、この際、メタン( $\text{CH}_4$ )にn型不純物ガス(磷はホスフィン( $\text{PH}_3$ )、ひ素はアルシン( $\text{AsH}_3$ )、アンチモンはスチビン( $\text{SbH}_3$ )など)、例えばホスフィン( $\text{PH}_3$ )を適量添加して $5 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cc程度のn<sup>+</sup>型多結晶性ダイヤモンド膜(1000~5000 nm厚)163を形成する。このときに、他の保護用酸化シリコン膜上にはn<sup>+</sup>型アモルファスダイヤモンド膜170が形成されるが、このアモルファスダイヤモンド膜はDLC膜(Diamond Like Carbon)ともいわれる。

### 【0325】

次いで、図36の(4)に示すように、上述した触媒AHA処理時の水素系活性種(活性化水素イオン等)により、アモルファスダイヤモンド膜170をエッティング除去し、酸化シリコン膜159のエッティング除去後に触媒CVD等によりゲート絶縁膜(酸化シリコン膜等)118を形成する。この場合、触媒AHA処理により、高温の水素分子/水素原子/活性化水素イオン等によりアモルファスダイヤモンド膜を還元エッティングし、同時にエミッタ領域に形成されたn<sup>+</sup>型多結晶性ダイヤモンド膜163のアモルファス成分を還元エッティングして、高結晶化率のn<sup>+</sup>型多結晶性ダイヤモンド膜163を形成する。この還元エッティング作用により、表面に無数の凹凸形状が形成されたn<sup>+</sup>型多結晶性ダイヤモンド膜のエミッタ領域163が形成される。これにより、他の保護用酸化シリコン膜上のn<sup>+</sup>型アモルファスダイヤモンド膜も還元エッティングされ、除去される。なお、上記の触媒CVD及びAHA処理は連続作業で行う方が、コンタミ防止と生産性

の面で望ましい。

【0326】

次いで、図37の(5)に示すように、スパッタリング法によるMo-Ta合金等の耐熱性金属によりMOS TFT 1、2のゲート電極115、MOS TFT 1のゲート電極に接続されるゲートラインを形成し、オーバーコート膜（酸化シリコン膜等）137を形成した後、ハロゲンランプによるRTA (Rapid Thermal Anneal) 処理でドーピングされたn型及びp型不純物を活性化した後に、MOS TFT 2のソース部窓開け後にスパッタリング法によるMo-Ta合金等の耐熱性金属でMOS TFT 2のソース電極127及びアースラインを形成する。更に、プラズマCVD、触媒CVD等によりオーバーコート膜（酸化シリコン／窒化シリコン積層膜等）136を形成する。

【0327】

次いで、図37の(6)に示すように、MOS TFT 1のソース／ドレイン部及びMOS TFT 2のゲート部の窓開けを行い、MOS TFT 1のドレインとMOS TFT 2のゲートを1%Si入りAl配線128で接続し、同時にMOS TFT 1のソース電極とそのソースに接続されるソースライン127を形成する。

【0328】

次いで、図37の(7)に示すように、オーバーコート膜（酸化シリコン／フオスフィンシリケートガラス／窒化シリコン積層膜等）130を形成した後、GNDラインの窓開けした後に、フォーミングガス中で400℃、30分の水素化及びシンター処理する。そして図37の(8)に示すように、ゲート引き出し電極150や金属遮蔽膜151をNb蒸着後のエッチングで形成し、更に電界放出カソード部を窓開けしてエミッタ163を露出させ、上述の触媒AHA処理の活性化水素イオン等でクリーニングする。即ち、汎用フォトリソグラフィ及びエッチング技術により、チタン／モリブデン(Ti/Mo)膜又はニオブ(Nb)膜を酸系エッチング液でのウエットエッチングし、酸化シリコン膜及びPSG膜はフッ酸系エッチング液でのウエットエッチング、窒化シリコン膜はCF<sub>4</sub>等のプラズマエッチングで除去する。また、電界放出カソード(エミッタ)部の多結晶性ダイヤモンド膜163を触媒AHA処理してクリーニングし、膜表面の微細な

凹凸部に付着した有機汚れ、水分、酸素／窒素／炭酸ガス等を触媒A H A処理の高温の水素分子／水素原子／活性化水素イオン等で除去し、電子放出効率を高める。

## 【0329】

なお、上記において、多結晶性ダイヤモンド膜163を成膜する際、使用する原料ガスとしての炭素含有化合物は、例えば

- 1) メタン、エタン、プロパン、ブタン等のパラフィン系炭化水素
- 2) アセチレン、アリレン系のアセチレン系炭化水素
- 3) エチレン、プロピレン、ブチレン等のオレフィン系炭化水素
- 4) ブタジエン等のジオレフィン系炭化水素
- 5) シクロプロパン、シクロブタン、シクロペンタン、シクロヘキサン等の脂環式炭化水素
- 6) シクロブタジエン、ベンゼン、トルエン、キシレン、ナフタリン等の芳香族炭化水素
- 7) アセトン、ジエチルケトン、ベンゾフェノン等のケトン類
- 8) メタノール、エタノール等のアルコール類
- 9) トリメチルアミン、トリエチルアミン等のアミン類
- 10) グラファイト、石炭、コークス等の炭素原子のみからなる物質

であってよく、これらは、1種を単独で用いることもできるし、2種以上を併用することもできる。

## 【0330】

また、使用可能な不活性ガスは、例えばアルゴン、ヘリウム、ネオン、クリプトン、キセノン、ラドンである。ドーパントとしては、例えばホウ素、リチウム、窒素、リン、硫黄、塩素、ひ素、セレン、ベリリウム等を含む化合物又は単体が使用可能であり、そのドーピング量は $10^{20}$  atoms/ccであってよい。

## 【0331】

第5の実施の形態

本実施の形態は、本発明を光電変換装置としての太陽電池に適用したものである。以下にその製造例を示す。

## 【0332】

まず、図38の(1)に示すように、ステンレス等の金属基板111上に、プラズマCVD、触媒CVD等により、n型の低級結晶性シリコン膜7Aを100~200nm厚に形成する。この場合、モノシランにPH<sub>3</sub>等のn型ドーパントを適量混入して $1 \times 10^{19} \sim 1 \times 10^{20}$ atoms/cc含有させる。

## 【0333】

連続して、プラズマCVD、触媒CVD等により、i型の低級結晶性シリコン膜180Aを2~5μm厚に積層形成する。連続して、プラズマCVD、触媒CVD等により、p型の低級結晶性シリコン膜181Aを100~200nm厚に形成する。この場合、モノシランにB<sub>2</sub>H<sub>6</sub>等のp型ドーパントを適量混入して $1 \times 10^{19} \sim 1 \times 10^{20}$ atoms/cc含有させる。

## 【0334】

次いで、図38の(2)に示すように、プラズマCVD、触媒CVD等により、カバー用絶縁膜235(酸化シリコン膜、窒化シリコン膜、酸窒化シリコン膜、酸化シリコン/窒化シリコン積層膜等)を50~100nm厚に形成する。

## 【0335】

そして、この状態で、集光ランプアニールのランプ光照射210によるアニールにより、低級結晶性シリコン膜7A、180A、181Aの全体を多結晶性シリコン膜7、180、181に改質させると同時に、各膜中の不純物を活性化させる。

## 【0336】

次いで、図38の(3)に示すように、カバー用絶縁膜235を除去してフォーミングガス中、400℃、1hの水素化処理する。そして、全面に透明電極(ITO (Indium Tin Oxide)、IZO (Indium Zinc Oxide)等)182を100~150nm厚に形成し、この上にメタルマスクを用いて、所定領域に銀等のくし型電極183を100~150nm厚に形成する。

## 【0337】

本実施の形態による太陽電池は、本発明に基づく大粒径の多結晶性シリコン膜によって、高移動度で変換効率の大きい光電変換薄膜を形成でき、良好な表面テ

クスチャ構造と裏面テクスチャ構造が形成されるので、光封じ込め効果が高く、変換効率の大きい光電変換薄膜を形成できる。これはまた、太陽電池に限らず、電子写真用の感光体ドラム等の薄膜光電変換装置にも有利に利用することができる。

#### 【0338】

以上に述べた本発明の実施の形態は、本発明の技術的思想に基づいて種々変形が可能である。

#### 【0339】

例えば、上述した触媒CVD、プラズマCVD等の気相成長法及び集光ランプアニールの繰り返し回数、ランプ光照射時間、基板温度などの各条件は種々変更してよいし、用いる基板等の材質も上述したものに限定されることはない。

#### 【0340】

また、本発明は、表示部等の内部回路や周辺駆動回路及び映像信号処理回路及びメモリー等のMOS TFTに好適なものであるが、それ以外にもダイオードなどの素子の能動領域や、抵抗、キャパシタンス（容量）、配線、インダクタンスなどの受動領域を本発明による多結晶性半導体膜又は単結晶性半導体膜で形成することも可能である。

#### 【0341】

##### 【発明の作用効果】

本発明は上述したように、基体上に低級結晶性半導体薄膜を形成し、この低級結晶性半導体薄膜に集光ランプアニールを施して、溶融又は半溶融又は非溶融状態の加熱と冷却により前記低級結晶性半導体薄膜の結晶化を促進して、多結晶性又は単結晶性半導体薄膜を形成しているので、次の（1）～（10）に示す顕著な作用効果が得られる。

#### 【0342】

（1）超高压水銀ランプ等の集光ランプのランプ光を任意の形状に集光整形して照射して、アモルファスシリコン膜等の低級結晶性半導体薄膜を溶融又は半溶融状態に加熱し或いは非溶融状態で加熱し、冷却させて結晶化する、いわゆる集光ランプアニールにより、高い照射エネルギーを低級結晶性半導体薄膜に与え、こ

れを溶融又は半溶融状態に加熱し或いは非溶融状態で加熱し、冷却することにより、大粒径の高キャリア移動度、高品質の多結晶性シリコン膜等の多結晶性又は単結晶性半導体薄膜が得られ、生産性が大幅に向ふし、大幅なコストダウンが可能となる。

## 【0343】

(2) 集光ランプアニールは、上記溶融帯を移動させながら行う、いわゆる帯精製法により、結晶化助長のために予め添加され、その役割を終えたN i 等の触媒元素やその他の不純物元素が高温の溶融帯に偏析するので、容易に除去でき、膜中に残存することがないため、大粒径での高キャリア移動度、高品質の多結晶性半導体薄膜が得られ易い。さらに、このときに、複数のランプ光照射により連続して溶融帯と冷却部を繰り返す、いわゆる多重帯精製法により、さらなる大粒径、高品質の多結晶性半導体薄膜が得られる。この高純度化により、半導体特性が損なわれることがなくなり、作製する素子の安定性、信頼性が向上する。そして、集光ランプアニールでの帯精製法又は多重帯精製法という簡単なプロセスにより、結晶化助長の役割が終わった触媒元素やその他の元素が効率良く除去されるので、工数削減によるコストダウンが可能となる。

## 【0344】

(3) 集光ランプスキャニング方向に多結晶性シリコン等の結晶粒が揃うので、この方向にTFTを形成することにより、結晶粒界の不整及びストレスが低減し、高移動度の多結晶性シリコン膜等を形成できる。

## 【0345】

(4) 集光ランプアニールの帯精製法又は多重帯精製法により結晶化させた多結晶性シリコン等の膜上に低級結晶性シリコン等の膜を積層し、再度この集光ランプアニールで結晶化する方法を繰り返すことにより、 $\mu$ m単位の厚みで大粒径での高キャリア移動度、高品質の多結晶性シリコン膜等を積層形成できる。これにより、MOSLSIのみならず、高性能、高品質のバイポーラLSI、CMOSセンサ、CCDエリア／リニアセンサ、太陽電池等も形成できる。

## 【0346】

(5) 集光ランプのランプ光は、紫外線又は赤外線ランプ等であれ、連続した光

を線状、長方形形状又は正方形形状に集光整形して、照射することが容易であり、光ビーム径及びスキャニングピッチなどを自由に設定でき、照射強度、つまり溶融効率及びスループット向上でのコストダウンが図れる。

## 【0347】

(6) 集光ランプアニール装置のランプは、その波長、照射強度、照射時間等のコントロールが容易であり、しかも基板又はランプを任意の速度で移動させて加熱溶融及び冷却速度をコントロールすることにより、任意の結晶粒と任意の純度の多結晶性シリコン膜等が得られる。

## 【0348】

(7) 集光ランプアニール装置のランプはエキシマレーザーアニール装置のエキシマレーザー発振器に比べてはるかに安価であるので、大幅なコストダウンが可能である。

## 【0349】

(8) 集光ランプアニール処理、特に超高压水銀ランプの集光ランプアニールでは、例えばXeCl (波長308nm) エキシマレーザーと同じ波長を連続照射できるので、照射面のエネルギー分布のばらつき、得られた結晶化半導体膜のばらつき、TFTごとの素子特性のばらつきが少なく、高いスループットでの高生産性によるコストダウンが可能である。

## 【0350】

(9) 集光ランプアニールでは低温(200~400°C)で適用できるので、安価であって大型化が容易な低歪点ガラスや耐熱性樹脂を採用でき、軽量化とコストダウンを図れる。

## 【0351】

(10) トップゲート型のみならず、ボトムゲート型、デュアルゲート型MOS TFTでも、高いキャリア移動度の多結晶性半導体膜又は単結晶性半導体膜等が得られるために、この高性能の半導体膜を使用した高速、高電流密度の半導体装置、電気光学装置、更には高効率の太陽電池等の製造が可能となる。例えば、シリコン半導体装置、シリコン半導体集積回路装置、シリコン-ゲルマニウム半導体装置、シリコン-ゲルマニウム半導体集積回路装置、炭化ケイ素半導体装置、

炭化ケイ素半導体集積回路装置、化合物半導体（G a A s 等）装置、化合物半導体（G a A s 等）集積回路装置、多結晶性ダイヤモンド半導体装置、多結晶性ダイヤモンド半導体集積回路装置、液晶表示装置、エレクトロルミネンス（有機／無機）表示装置、フィールドエミッショナディスプレイ（F E D）装置、発光ポリマー表示装置、発光ダイオード表示装置、光センサー装置、C C Dエリア／リニアセンサ装置、C M O Sセンサ装置、太陽電池装置等が製造可能である。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態によるM O S T F Tの製造プロセスを工程順に示す断面図である。

【図2】

同、製造プロセスを工程順に示す断面図である。

【図3】

同、製造プロセスを工程順に示す断面図である。

【図4】

同、製造プロセスを工程順に示す断面図である。

【図5】

同、製造に用いる触媒C V D用の装置の一状態での概略断面図である。

【図6】

同、装置の他の状態での概略断面図である。

【図7】

同、集光ランプアニール用の装置の要部概略断面図及び平面図である。

【図8】

同、集光ランプアニール用の装置の要部概略断面図及び平面図である。

【図9】

同、クラスタ方式のM O S T F Tの製造装置の概略図である。

【図10】

同、インライン方式のM O S T F Tの製造装置の概略図である。

【図11】

同、クラスタ方式のMOS TFTの製造装置の他例の概略図である。

【図12】

同、集光ランプアニール時の他の形態を示す概略断面図である。

【図13】

同、集光ランプアニール用の装置の他例の概略断面図である。

【図14】

同、集光ランプアニール用の装置の他例の概略断面図である。

【図15】

同、集光ランプアニール用の装置の他例の概略断面図である。

【図16】

本発明の第2の実施の形態によるLCDの製造プロセスを工程順に示す断面図である。

【図17】

同、製造プロセスを工程順に示す断面図である。

【図18】

同、製造プロセスを工程順に示す断面図である。

【図19】

同、LCDの全体の概略レイアウトを示す斜視図である。

【図20】

同、LCDの等価回路図である。

【図21】

同、LCDの他の製造プロセスを工程順に示す断面図である。

【図22】

同、製造プロセスを工程順に示す断面図である。

【図23】

同、LCDのMOS TFTを各種示す断面図である。

【図24】

同、LCDの他の製造プロセスを工程順に示す断面図である。

【図25】

同、グラフオエピタキシャル成長を説明するための概略図である。

【図26】

同、各種段差形状を示す概略断面図である。

【図27】

同、LCDの他の製造プロセスを工程順に示す断面図である。

【図28】

本発明の第3の実施の形態による有機EL表示装置の要部の等価回路図（A）

、同要部の拡大断面図（B）及び同画素周辺部の断面図（C）である。

【図29】

同、有機EL表示装置の製造プロセスを工程順に示す断面図である。

【図30】

同、他の有機EL表示装置の要部の等価回路図（A）、同要部の拡大断面図（B）及び同画素周辺部の断面図（C）である。

【図31】

同、有機EL表示装置の製造プロセスを工程順に示す断面図である。

【図32】

本発明の第4の実施の形態によるFEDの要部の等価回路図（A）、同要部の拡大断面図（B）及び同要部の概略平面図（C）である。

【図33】

同、FEDの製造プロセスを工程順に示す断面図である。

【図34】

同、製造プロセスを工程順に示す断面図である。

【図35】

同、他のFEDの要部の等価回路図（A）、同要部の拡大断面図（B）及び同要部の概略平面図（C）である。

【図36】

同、FEDの製造プロセスを工程順に示す断面図である。

【図37】

同、製造プロセスを工程順に示す断面図である。

## 【図38】

本発明の第5の実施の形態による太陽電池の製造プロセスを工程順に示す断面図である。

## 【符号の説明】

1、61、98、111、157…基板、  
 7、67…多結晶性又は単結晶性シリコン膜、  
 7A、67A…低級結晶性シリコン膜、  
 7B…シリコン溶融帯（又は半溶融帯）、14、67、117…チャンネル、  
 15、75、102、105、115…ゲート電極、  
 8、68、103、104、106、118…ゲート絶縁膜、  
 20、21、80、81、120、121…n<sup>+</sup>型ソース又はドレイン領域、  
 24、25、84、85…p<sup>+</sup>型ソース又はドレイン領域、  
 27、28、86、92、130、136、137…絶縁膜、  
 29、30、87、88、89、90、91、93、97、127、128、131…電極、40…原料ガス、42…シャワーヘッド、44…成膜室、  
 45…サセプタ、46…触媒体、47…シャッター、48…触媒体電源、  
 94、96…配向膜、95…液晶、99…カラーフィルタ層、100…保護膜、  
 100'、140…ブラックマスク層、132、133…有機発光層、  
 134、135、144…陽極、138、141、142、171…陰極、  
 150…ゲート電極（ゲートライン）、151…遮蔽膜、152…エミッタ、  
 153…n型多結晶性シリコン膜、155…バックメタル、156…蛍光体、  
 158、168…微細凹凸、163…n型多結晶性ダイヤモンド膜、  
 180…i型多結晶性シリコン膜、181…p型多結晶性シリコン膜、  
 182…透明電極、183…くし型電極、201…集光部材、  
 203…超高压水銀ランプ等、204…集光反射部材、205…熱風、  
 206…ノズル、207…赤外線ランプ、210…ランプ光照射、  
 223…段差、224…結晶性サファイア膜、231…磁極、232…電磁石、  
 233…電源、234…電極、235…絶縁膜

特2001-036441

104

出証特2001-3113093

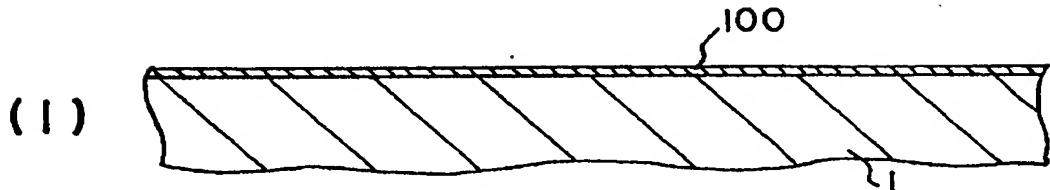
【書類名】 図面

【図1】

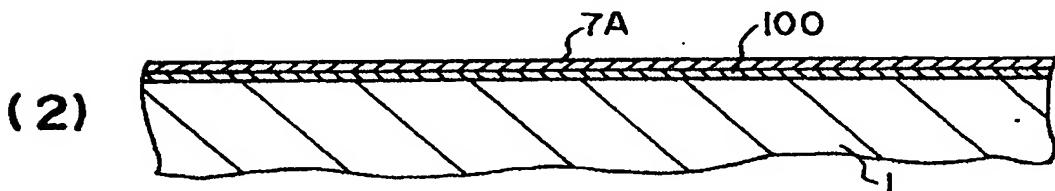
第1の実施の形態

## &lt;MOSTFTの製造プロセスフロー&gt;

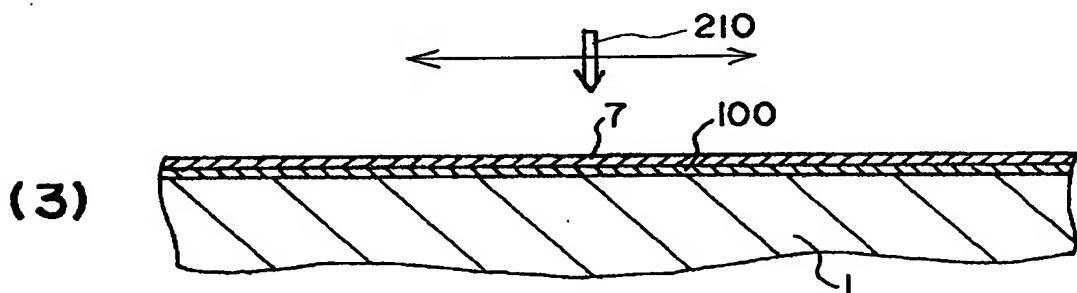
## 下地保護膜形成



低級結晶性シリコン膜形成と、保護及び反射低減用の酸化シリコン膜形成(図示せず:以下、同様)

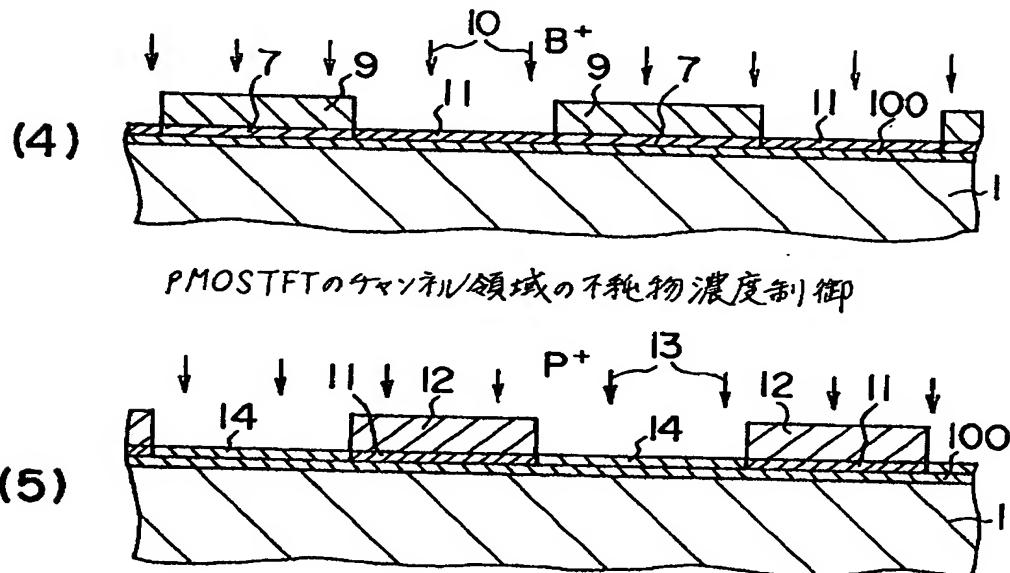


## 集光ランプアニールによる大粒径多結晶性シリコン膜形成



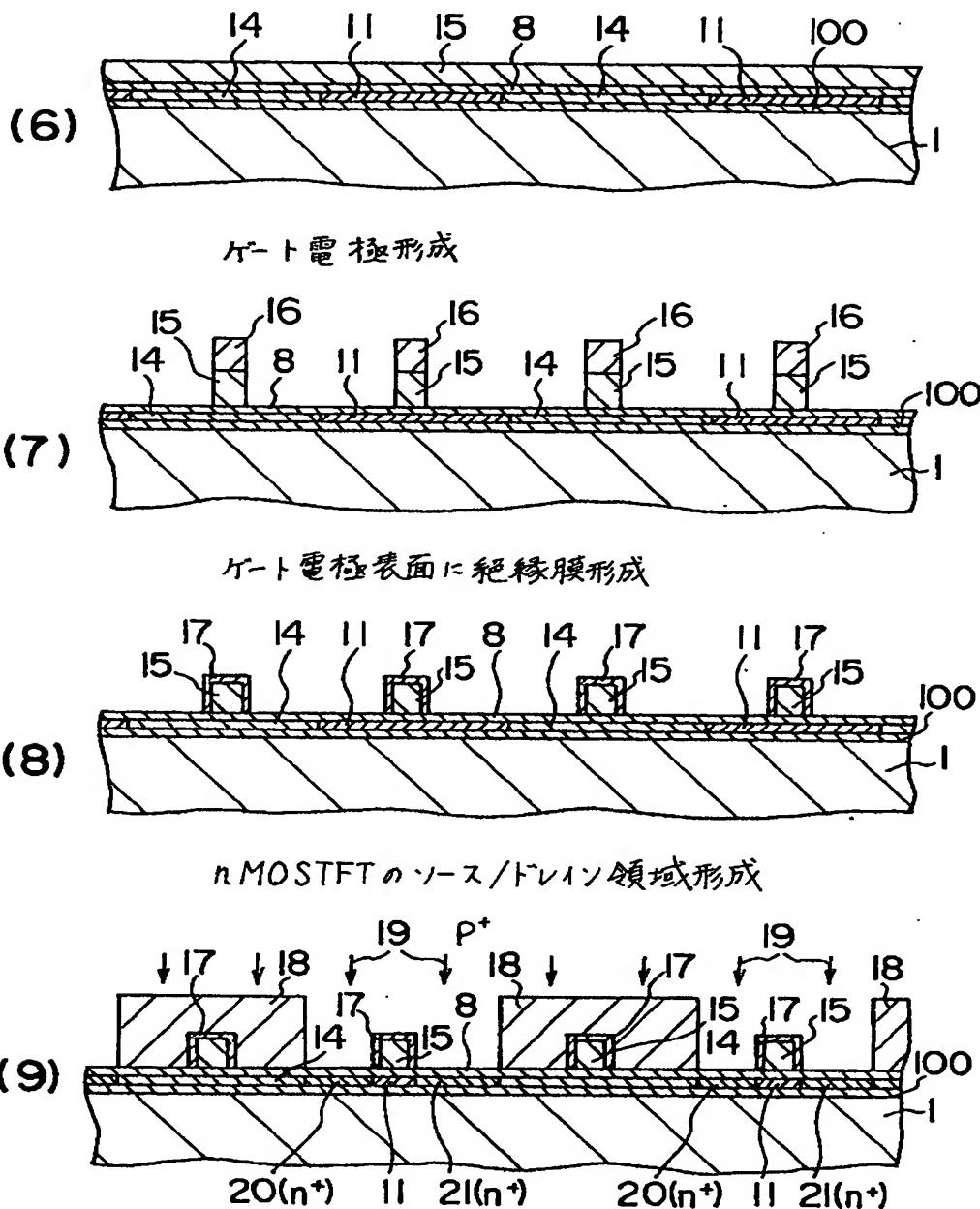
【図2】

保護及び反射低減用酸化シリコン膜除去、  
nMOSFETのチャンネル領域の不純物濃度制御

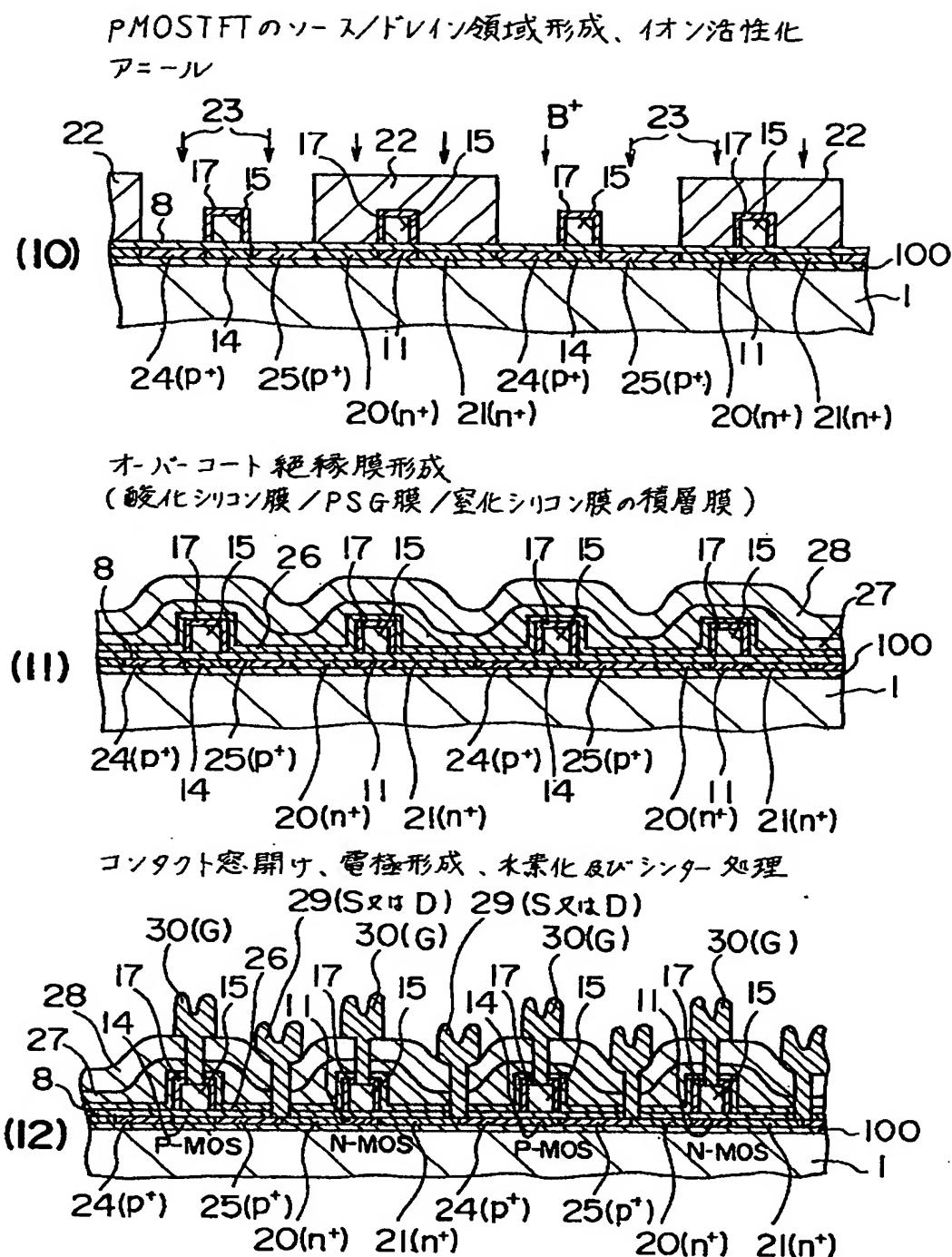


【図3】

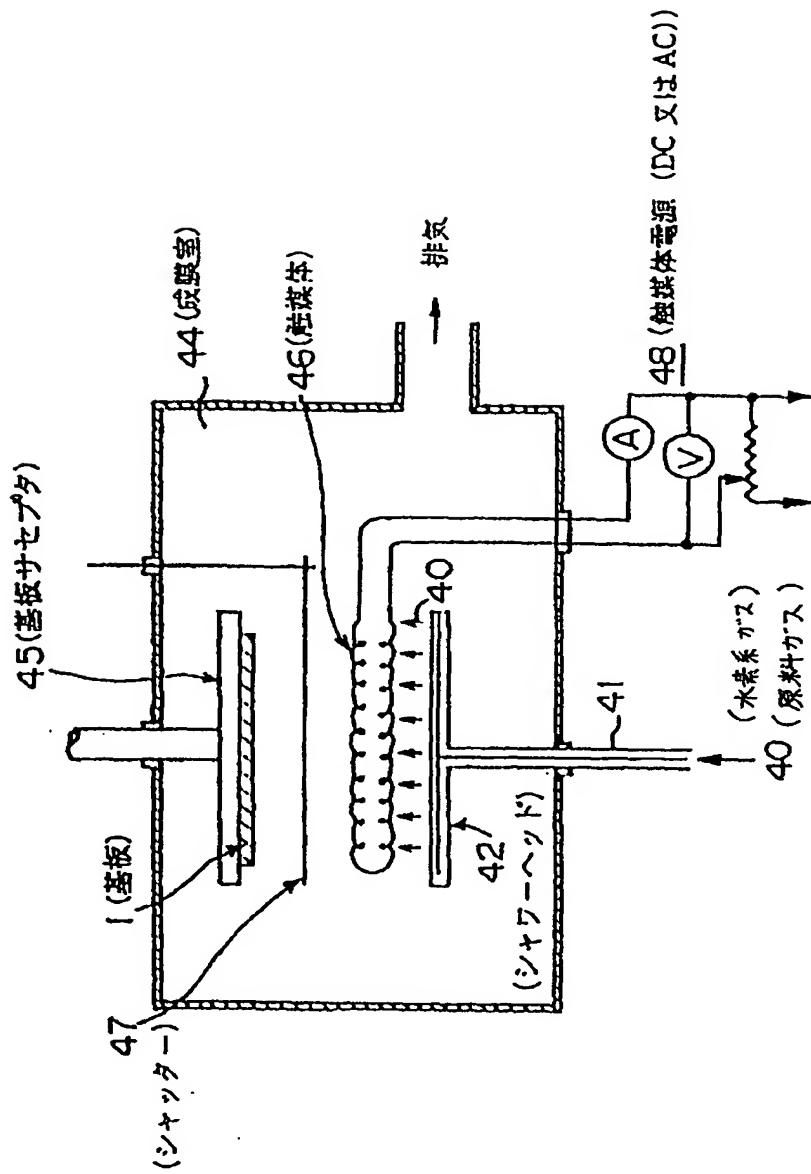
ゲート絶縁膜形成、ゲート電極用リントニット多結晶  
シリコン膜形成



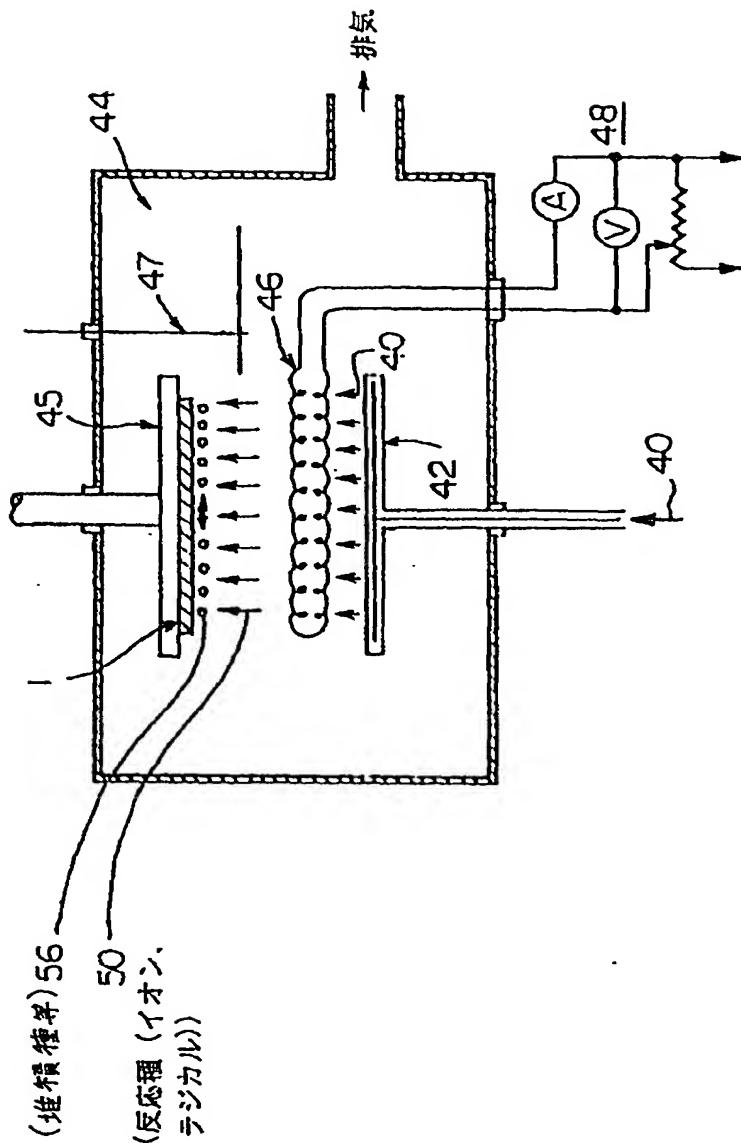
【図4】



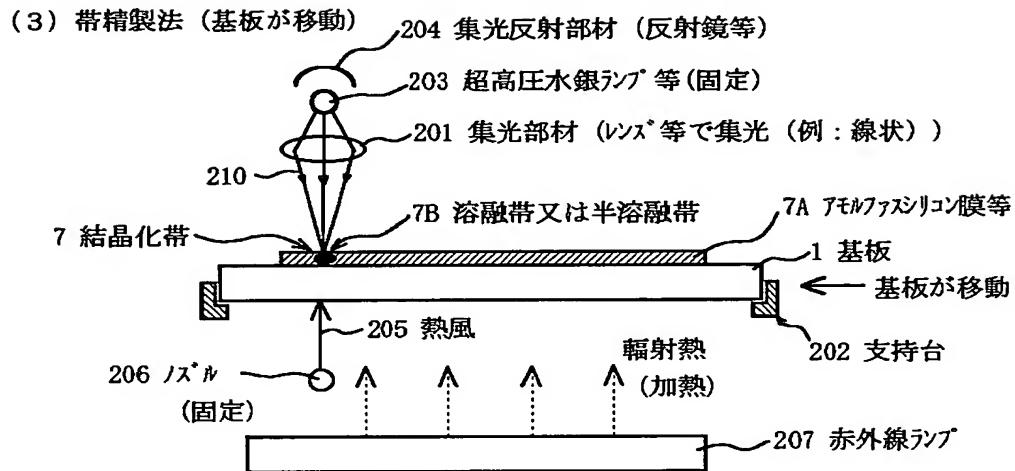
【図5】



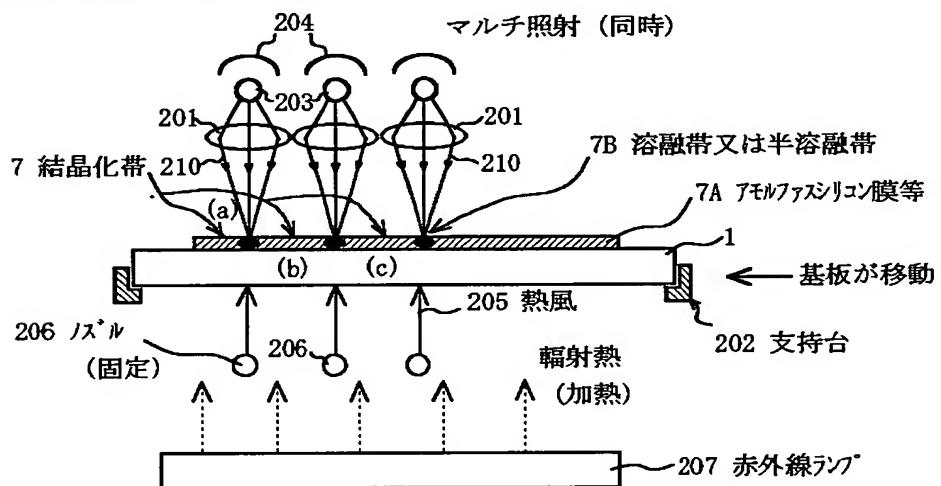
【図6】



【図8】



(4) 多重帯精製法（基板が移動）

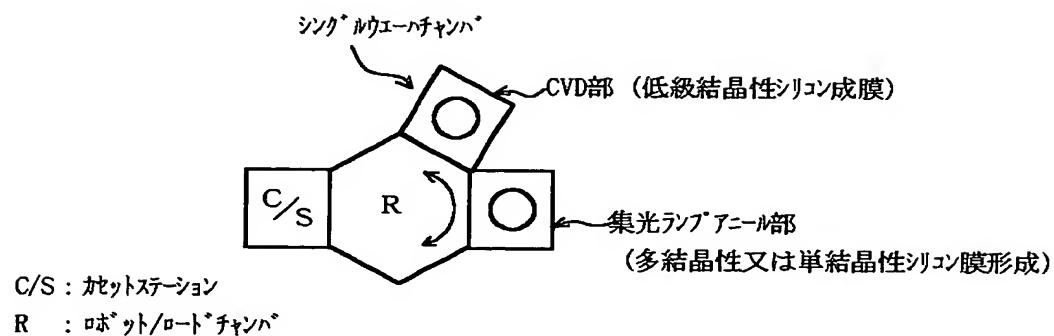


※ 結晶化帯は (c) → (b) → (a) の順に、高結晶化と高純度化の膜となる。

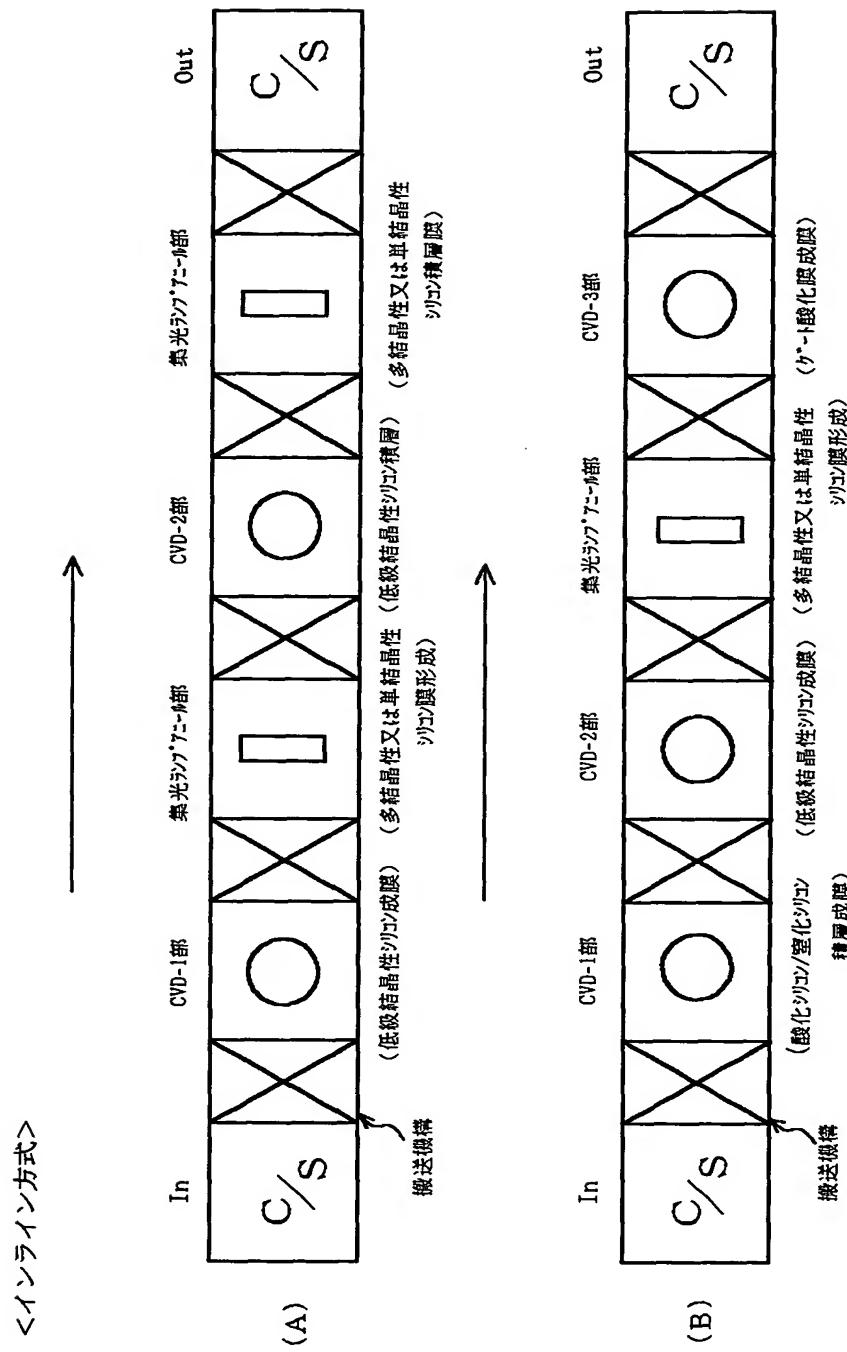
※ 照射光と熱風は、上下対称で同期した方がよい。

【図9】

&lt;クラスタ方式&gt;

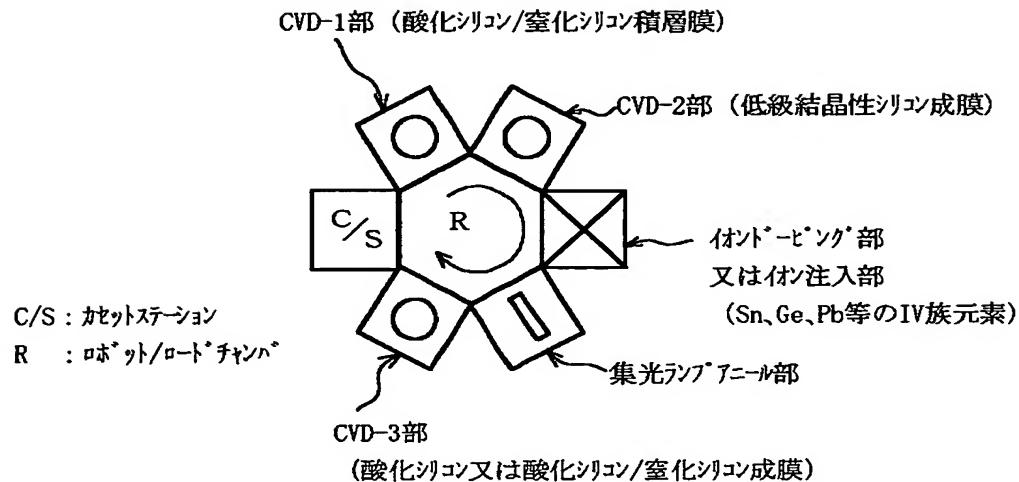


【図10】



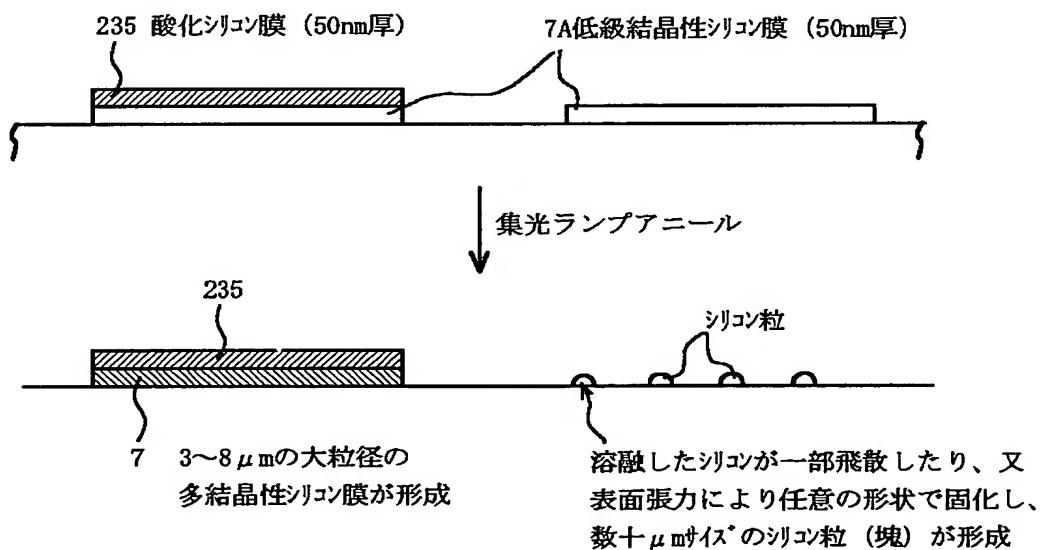
【図11】

&lt;クラスタ方式&gt;



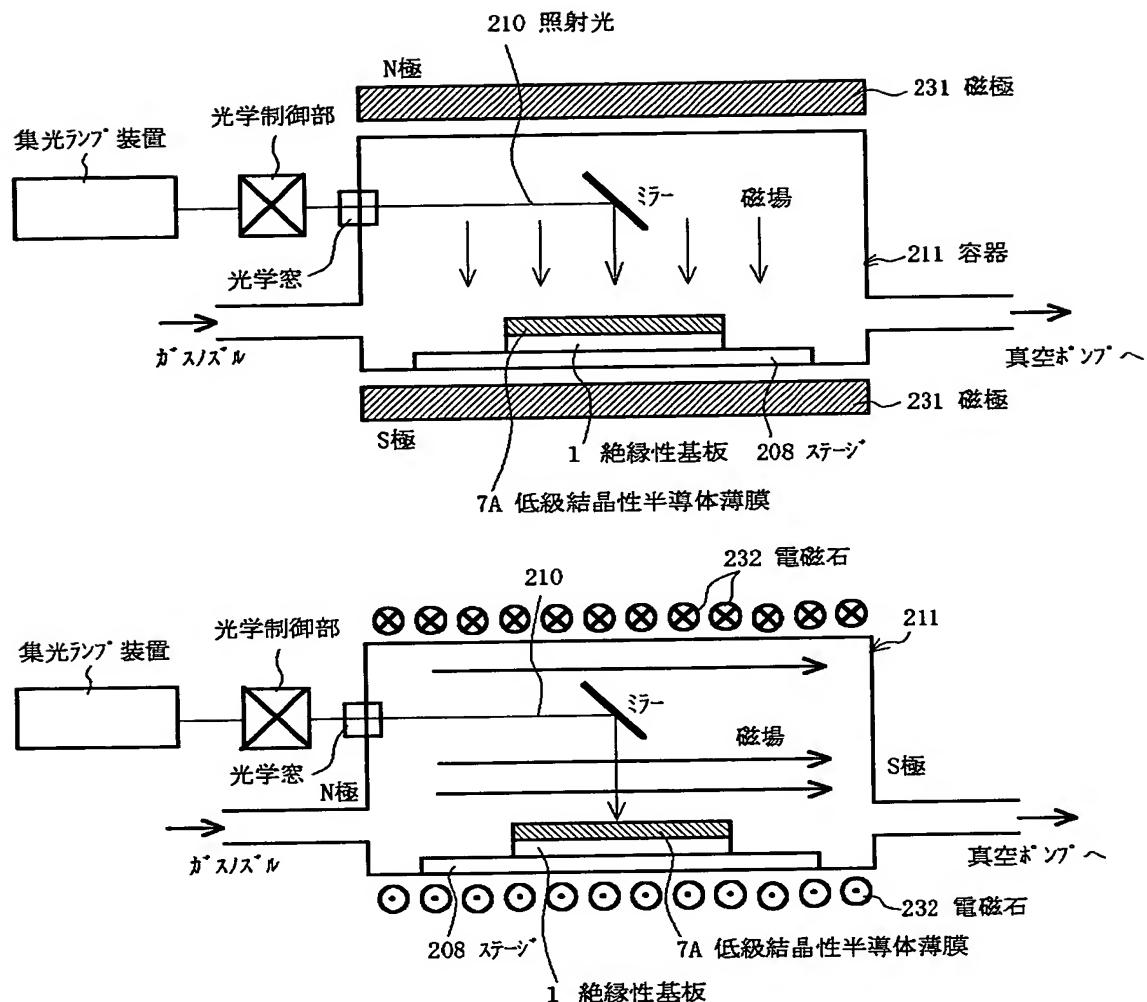
【図12】

集光ランプアニール時に、低級結晶性半導体薄膜上に絶縁膜を形成してランプ照射する（絶縁膜は、シリコン系半導体膜では、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、酸化シリコン/窒化シリコン積層膜）。



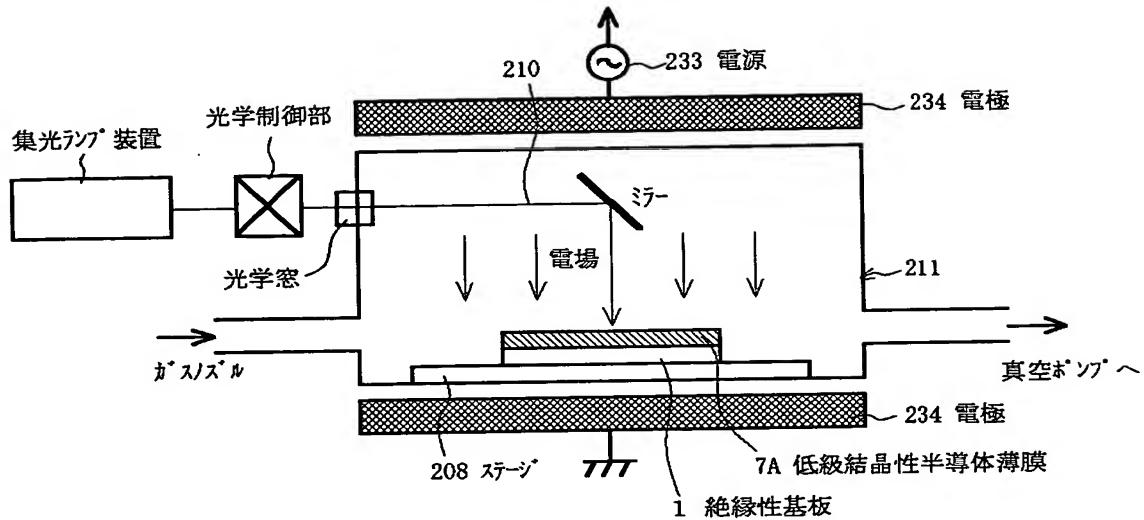
【図13】

## (1) 磁場印加



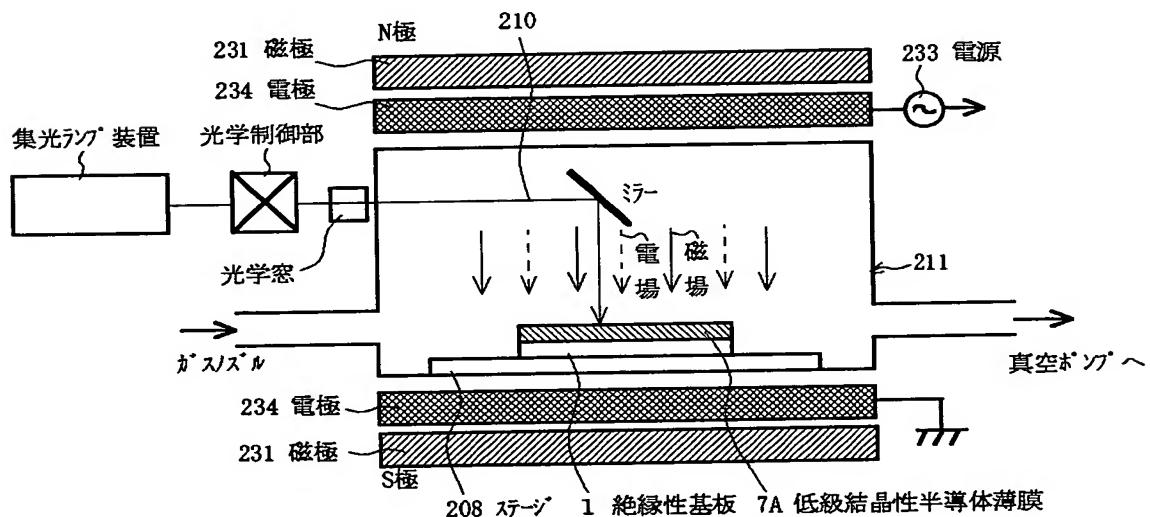
【図14】

## (2) 電場印加



【図15】

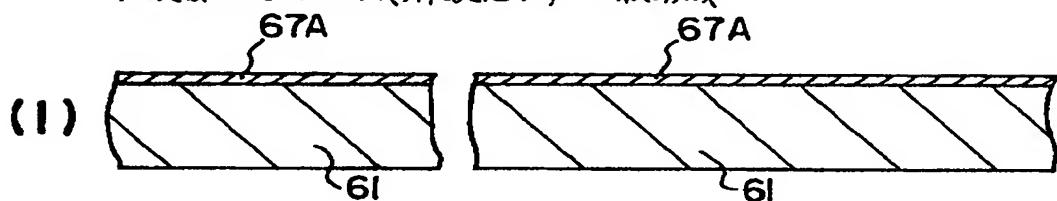
## (3) 磁場と電場印加



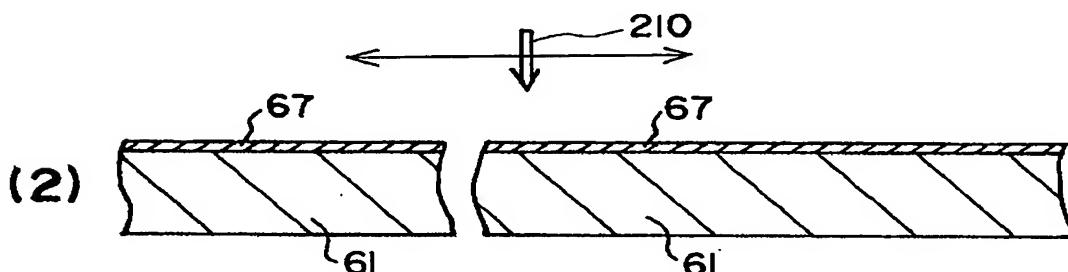
【図16】

第2の実施の形態**〈LCDの製造プロセスフロー1〉****画素部****周辺回路部**

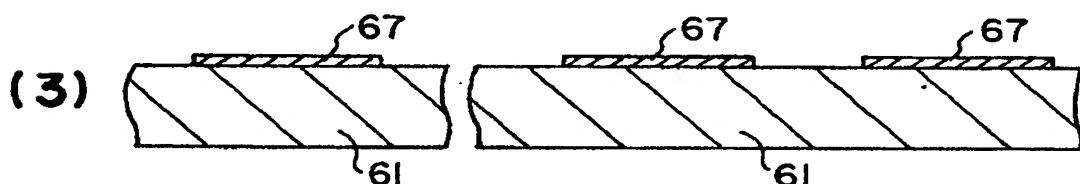
下地保護膜(図示せず)上に低級結晶性シリコン膜形成、  
保護及び反射低減用酸化シリコン膜形成



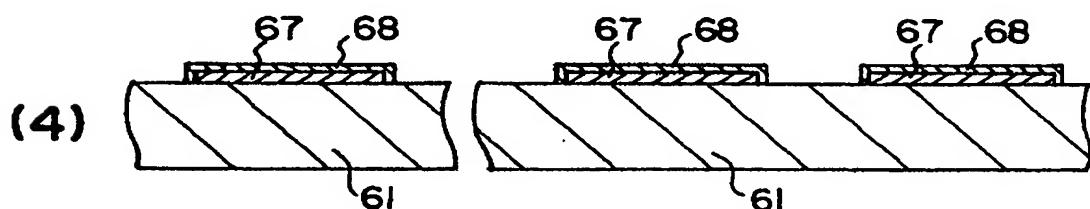
集光ランプアニールによる大粒径多結晶性シリコン膜形成



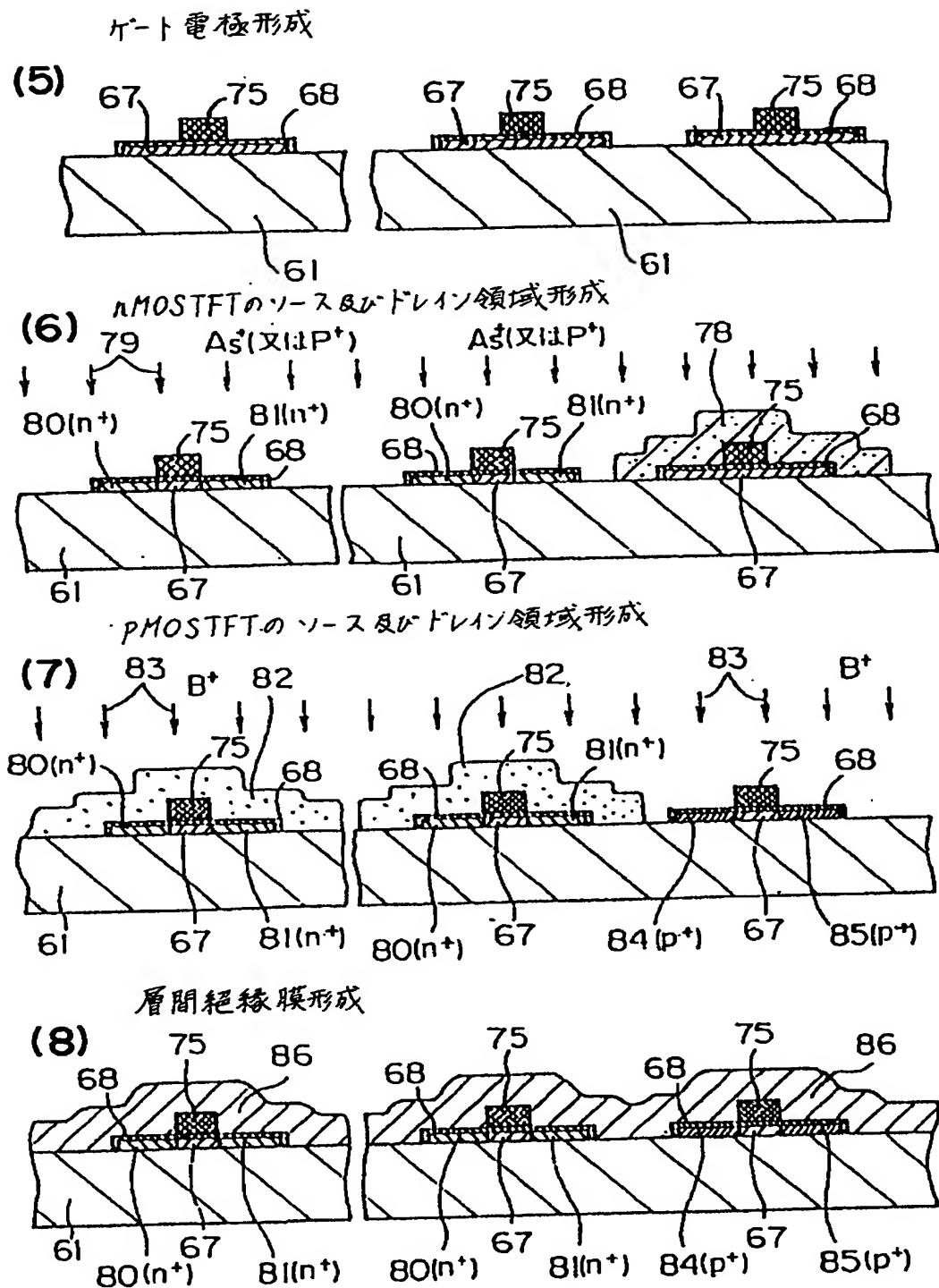
多結晶性シリコン膜パターン



ゲート酸化膜形成

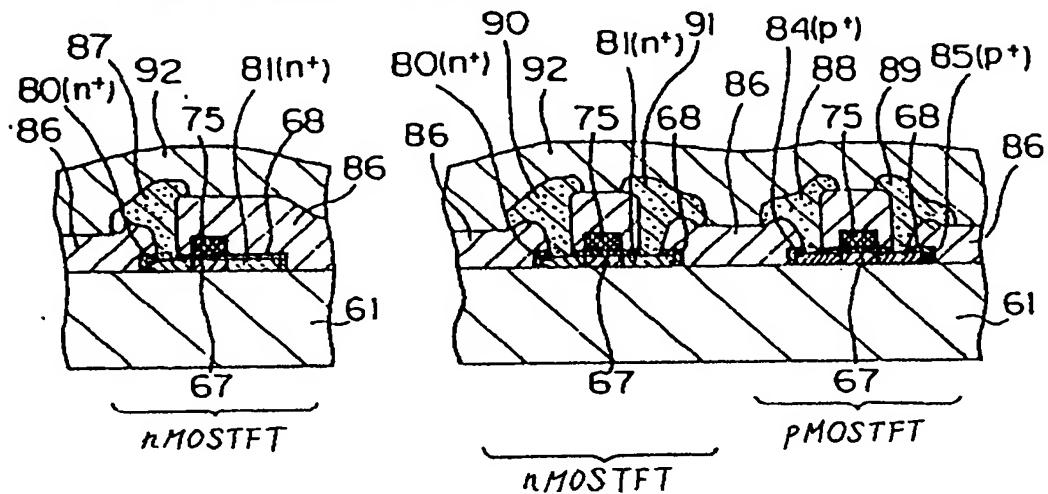


【図17】

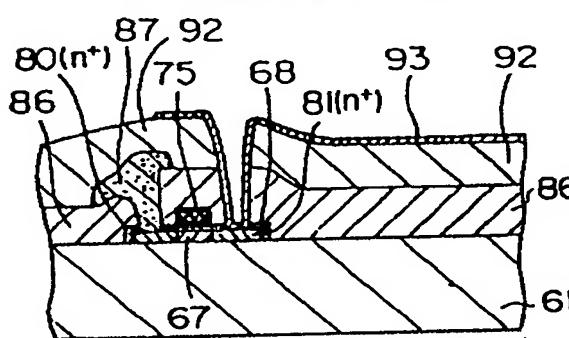


【図18】

(9) 画素部のソース電極、周辺回路部のソース及びドレイン電極形成、絶縁膜形成、木素化及びシンタ-処理

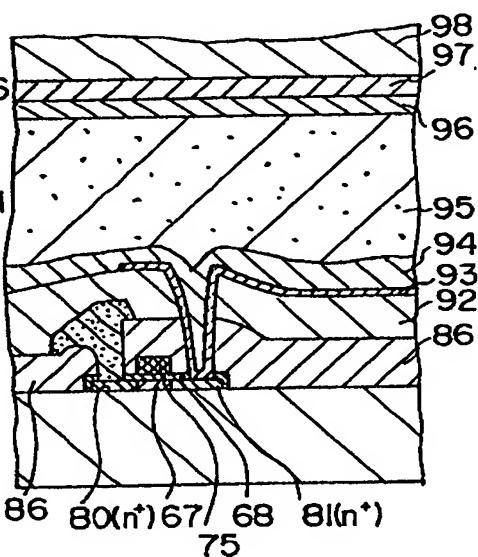


(10) 画素部の画素電極  
(ITO透明電極など)形成

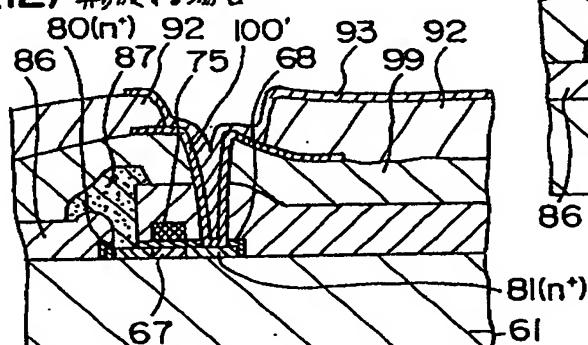


(11)

画素部の形成

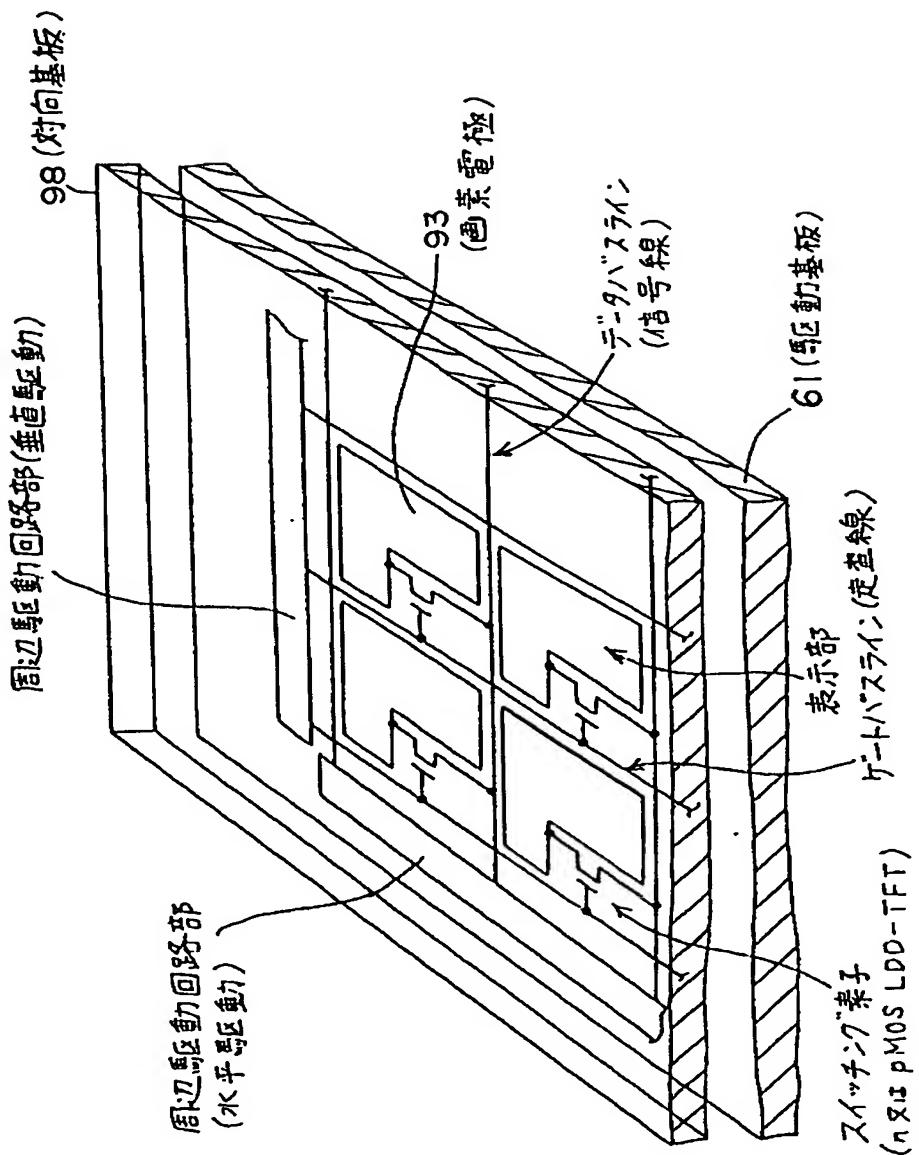


(12) カラーフィルタ層及びフラッフマスク層を形成する場合



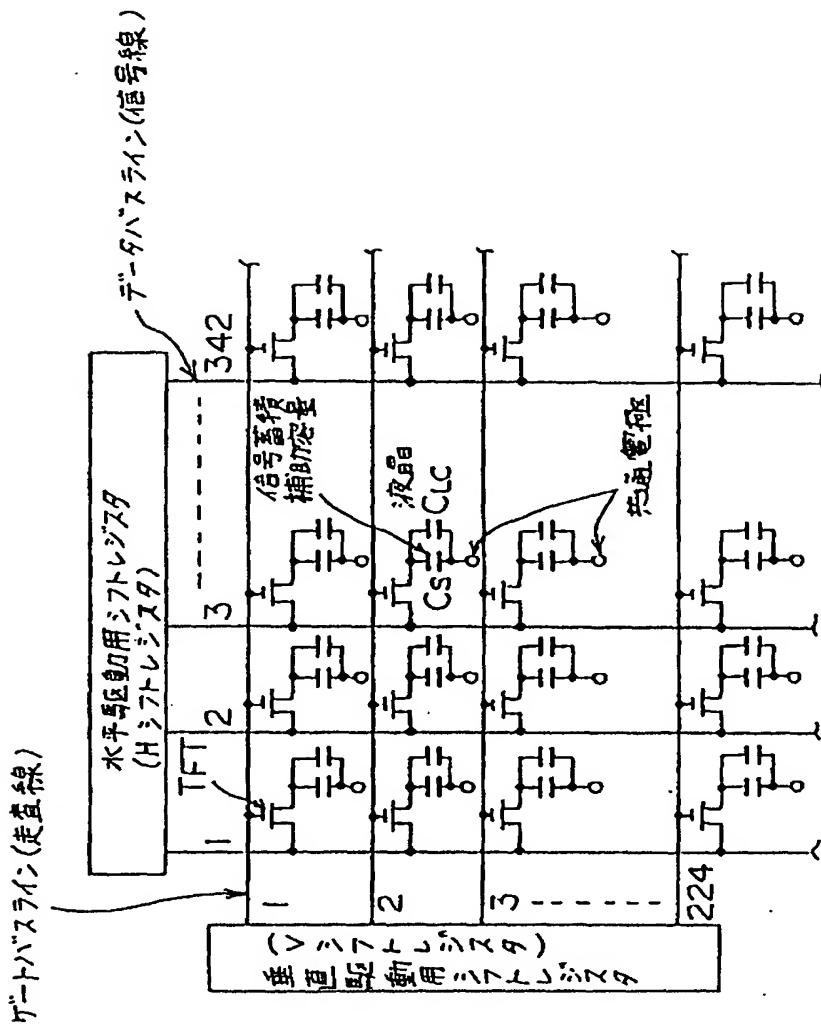
【図19】

3端子素子(TFT)によるアクティブ・マトリクス液晶ディスプレイの駆動回路レイアウト



【図20】

3端子素子(TFT)によるアクティブ・マトリクス液晶ディスプレイの等価回路

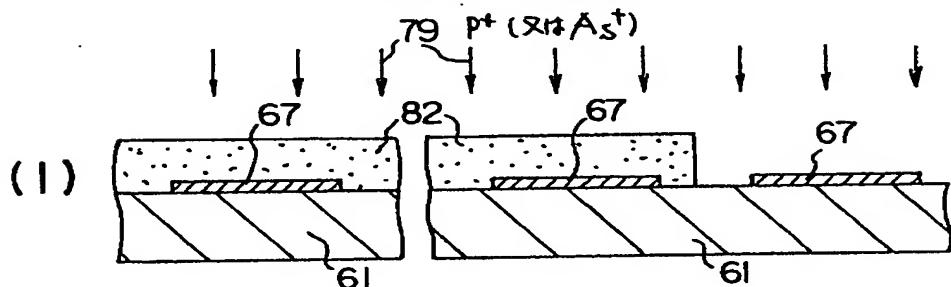


【図21】

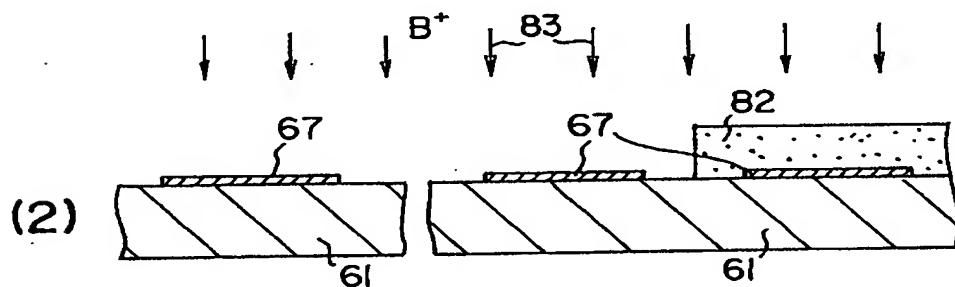
## &lt;LCDの製造プロセスフロー2&gt;

画素部 周辺回路部

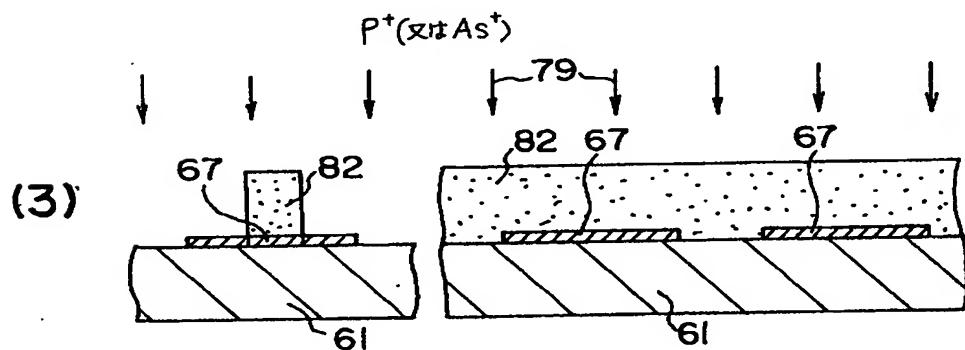
PMOST TFTのチャンネル不純物濃度コントロール



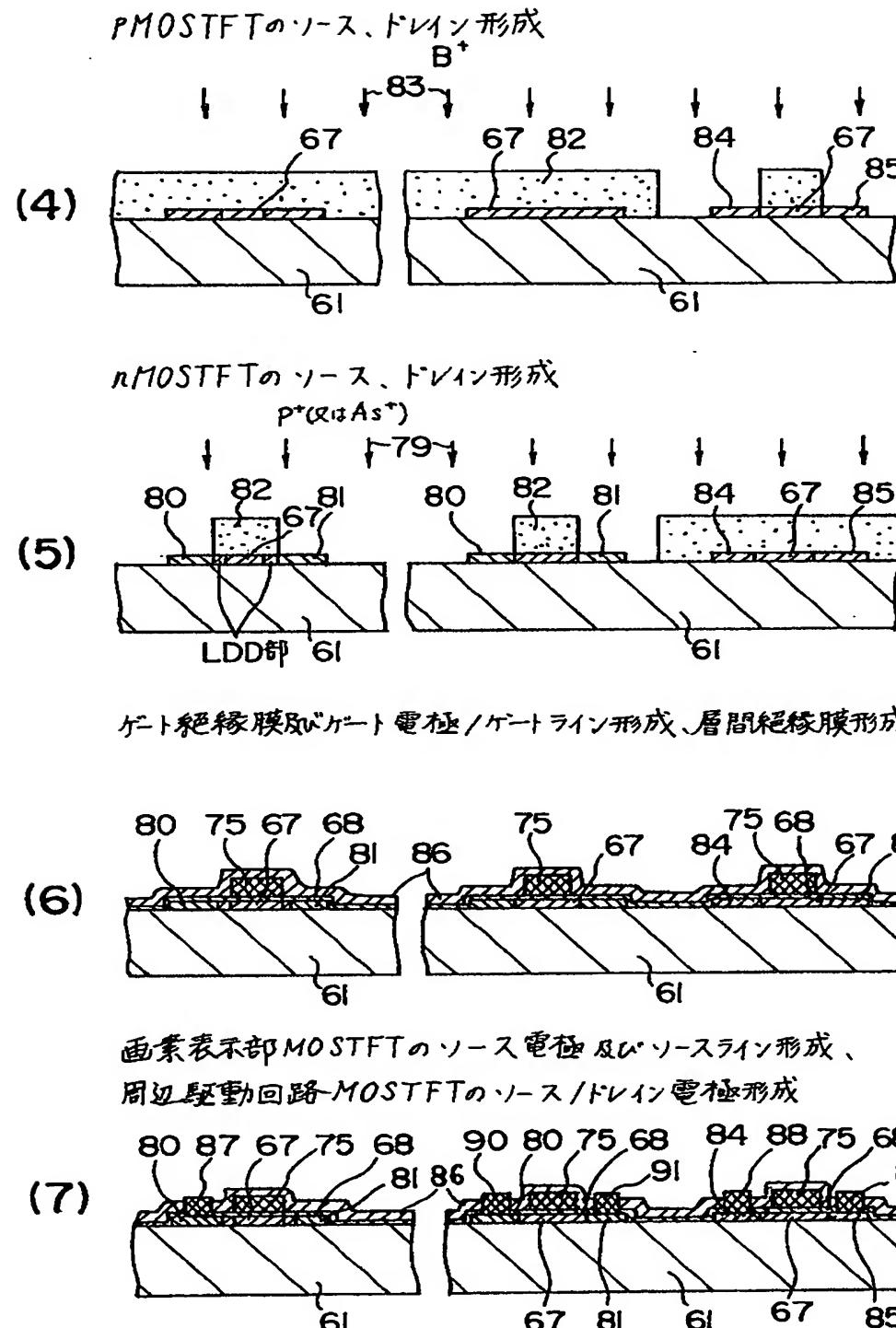
nMOS TFTのチャンネル不純物濃度コントロール



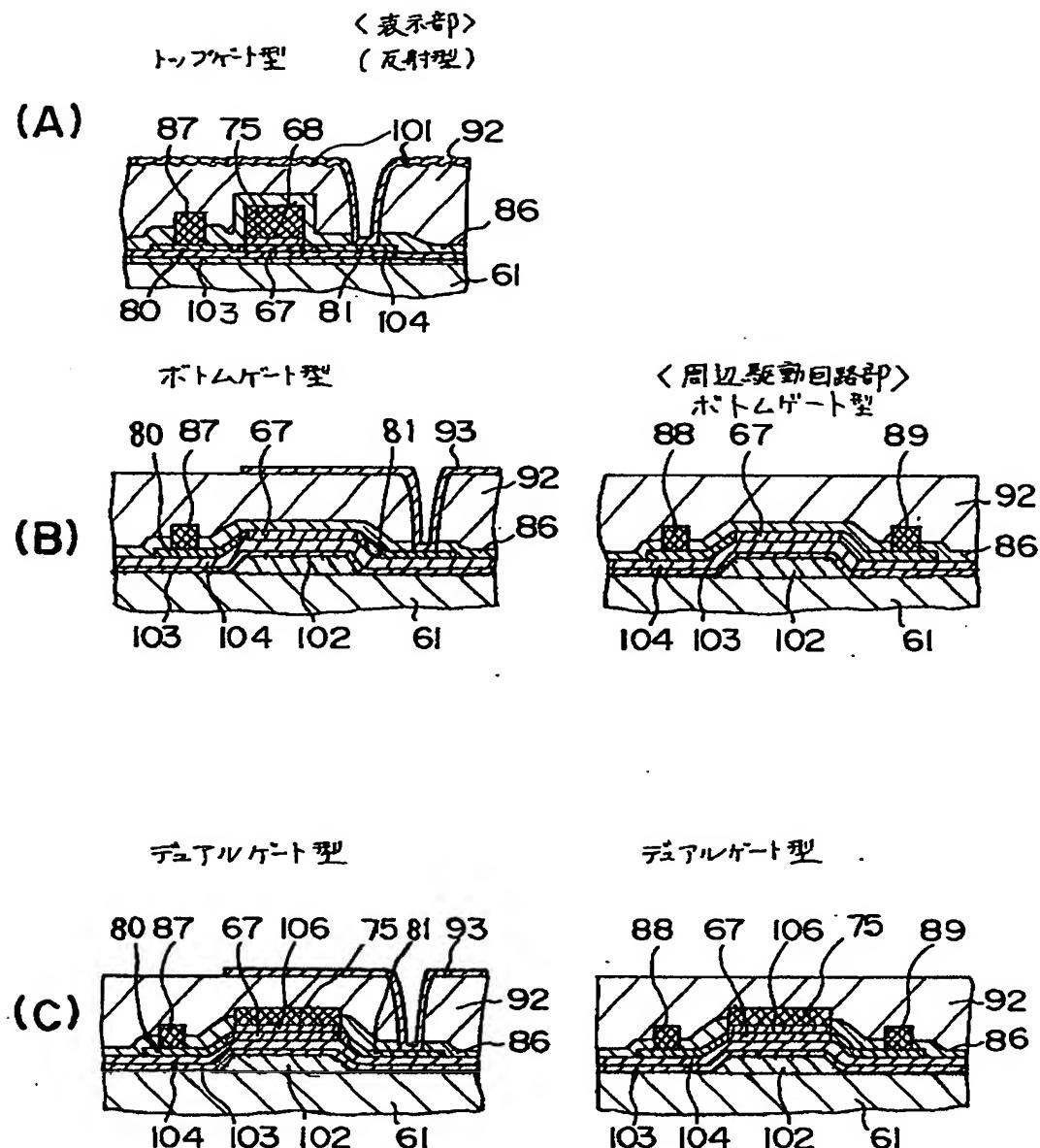
nMOS TFTのLDD部形成



【図22】



【図23】



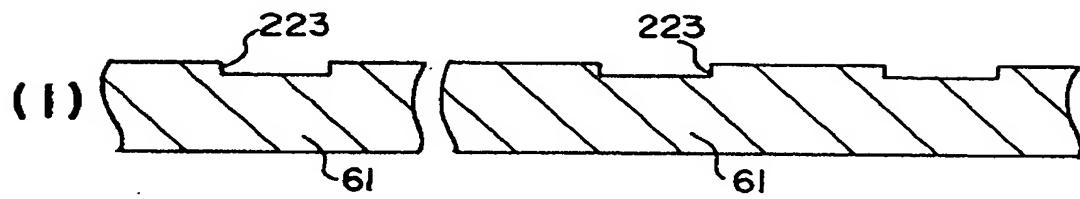
【図24】

## &lt;LCDの製造プロセスフロー3&gt;

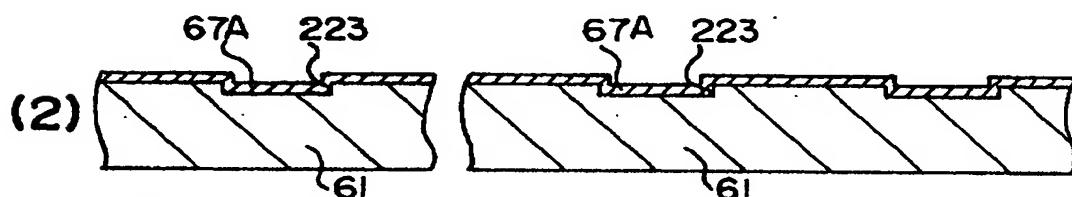
画素部

周辺回路部

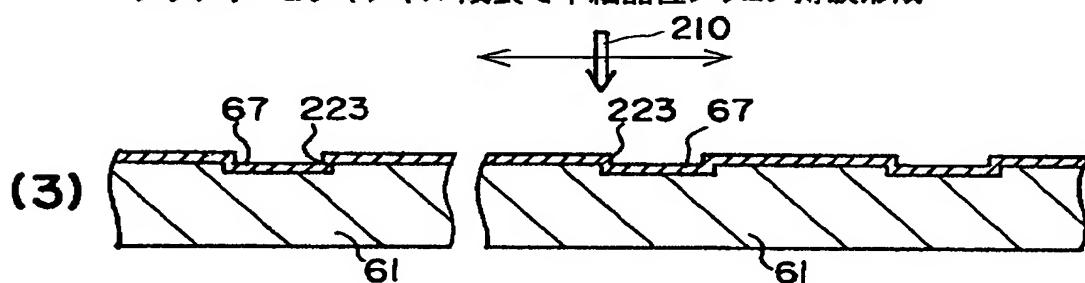
基板上に段差形成



低級結晶性シリコン膜形成

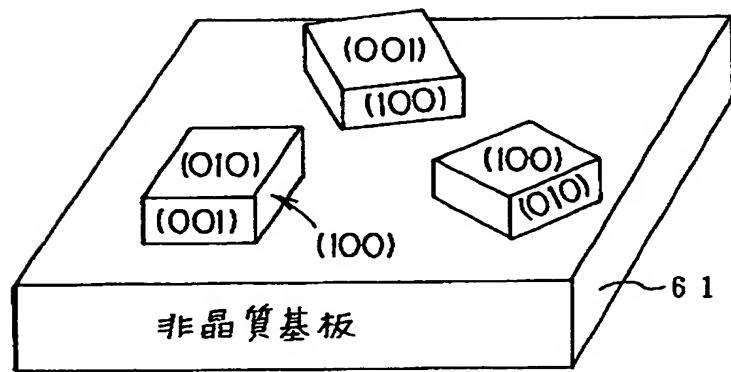


集光ランプアニールにより  
グラフォエピタキシャル成長で単結晶性シリコン薄膜形成

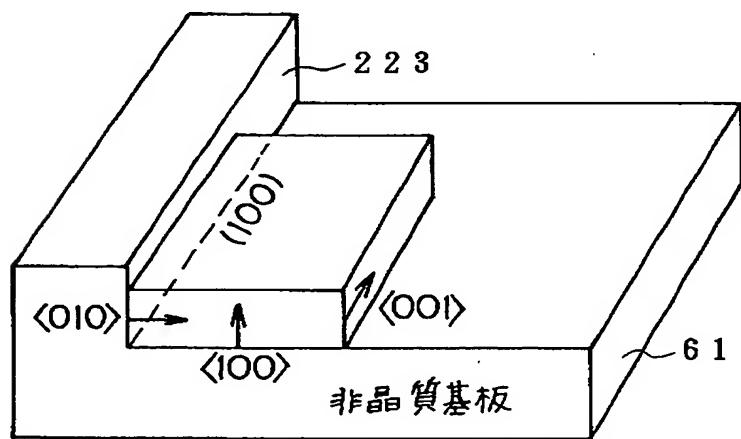


【図25】

非晶質基板上の結晶成長



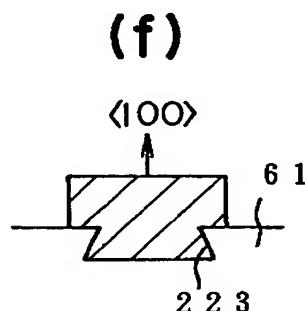
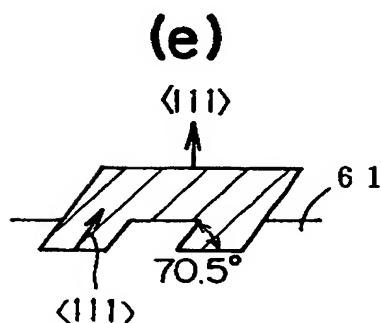
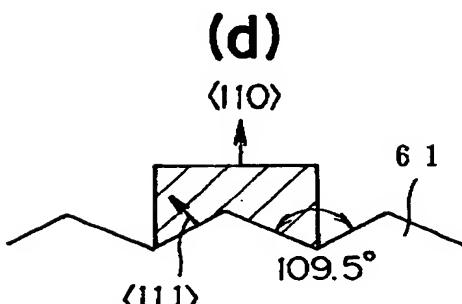
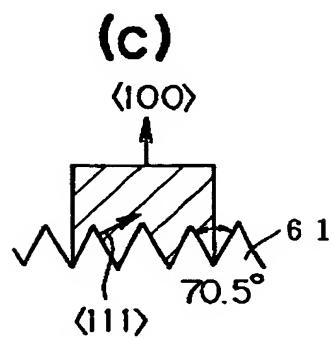
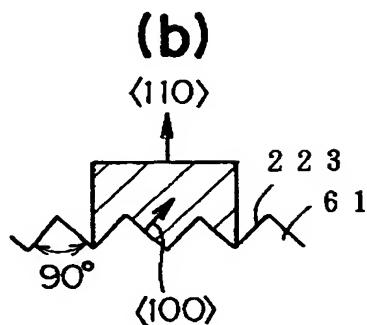
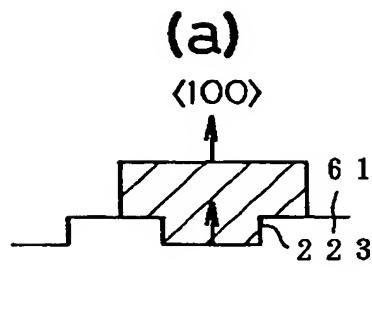
(a)



(b)

【図26】

## 各種レリーフと成長結晶方位



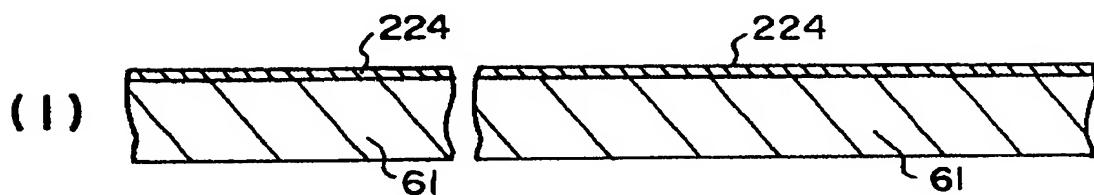
【図27】

## &lt;LCDの製造プロセスフロー4&gt;

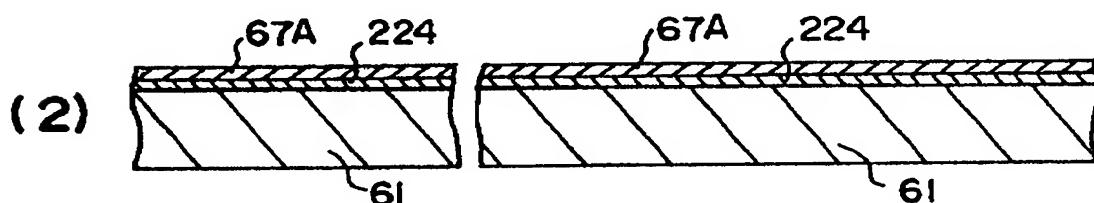
画素部

周辺回路部

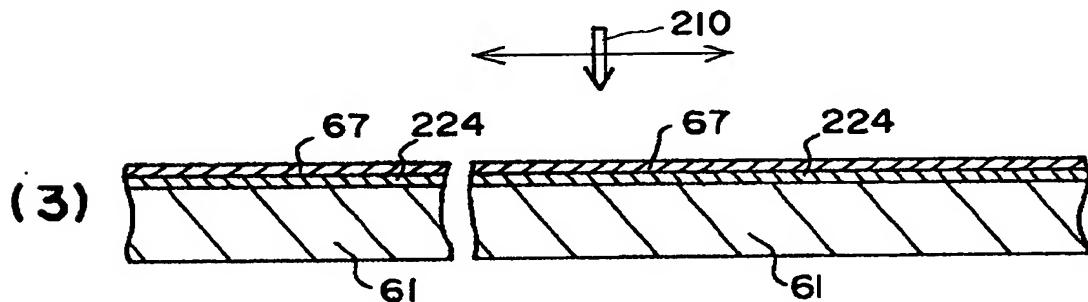
結晶性サファイア膜形成



低級結晶性シリコン膜形成



集光ランプアニールにより  
ヘテロエピタキシャル成長で単結晶性シリコン薄膜形成

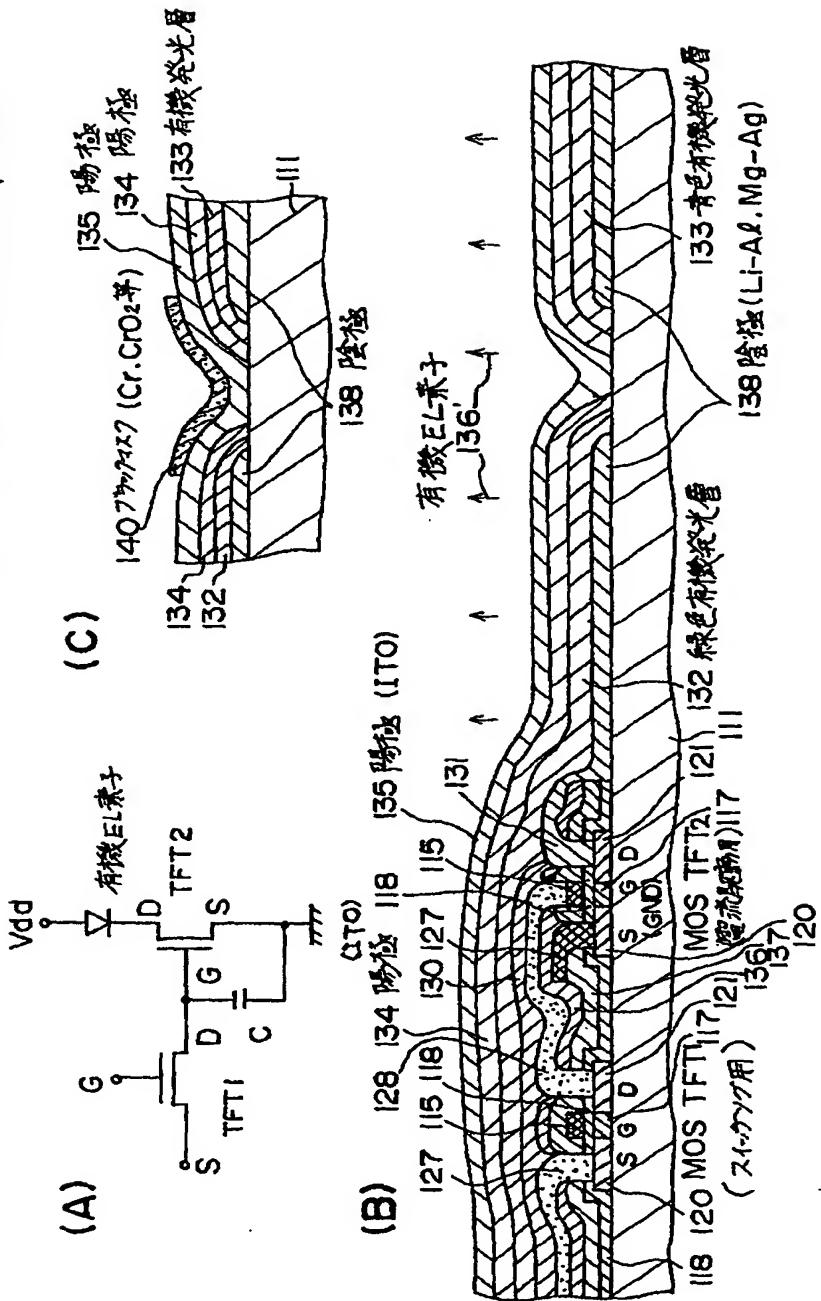


【図28】

### 第3の実施の形態

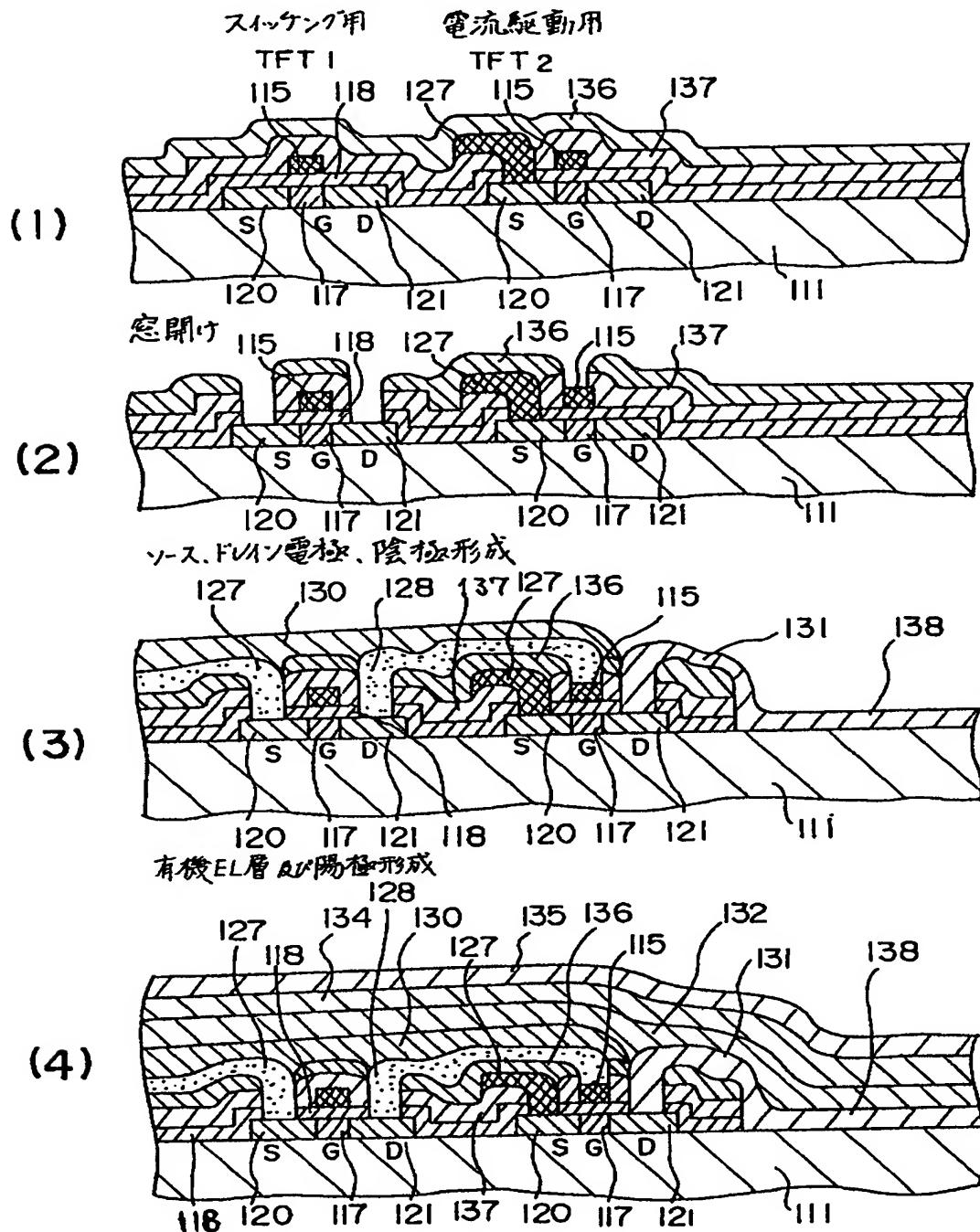
〈構造例1 有機EL素子がTFT2のドレインに接続されている〉

画素部周辺：アーマー部を形成した場合



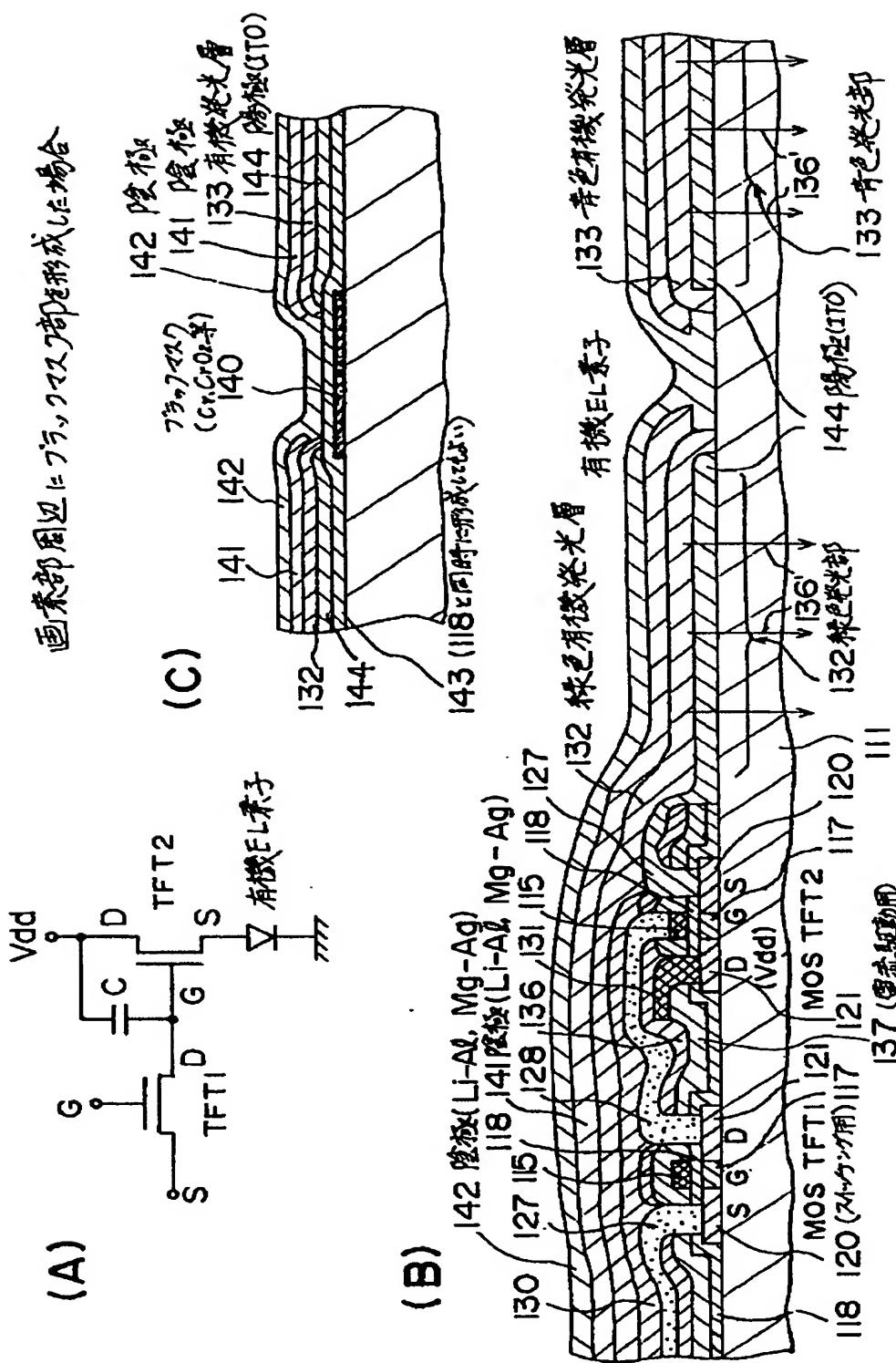
【図29】

〈構造例1の有機ELの製造プロセスフロー〉  
スイッチング用、電流駆動用TFT上に絶縁膜形成



【図30】

〈構造例II (有機EL素子がTFT2のソース側に接続された場合)〉



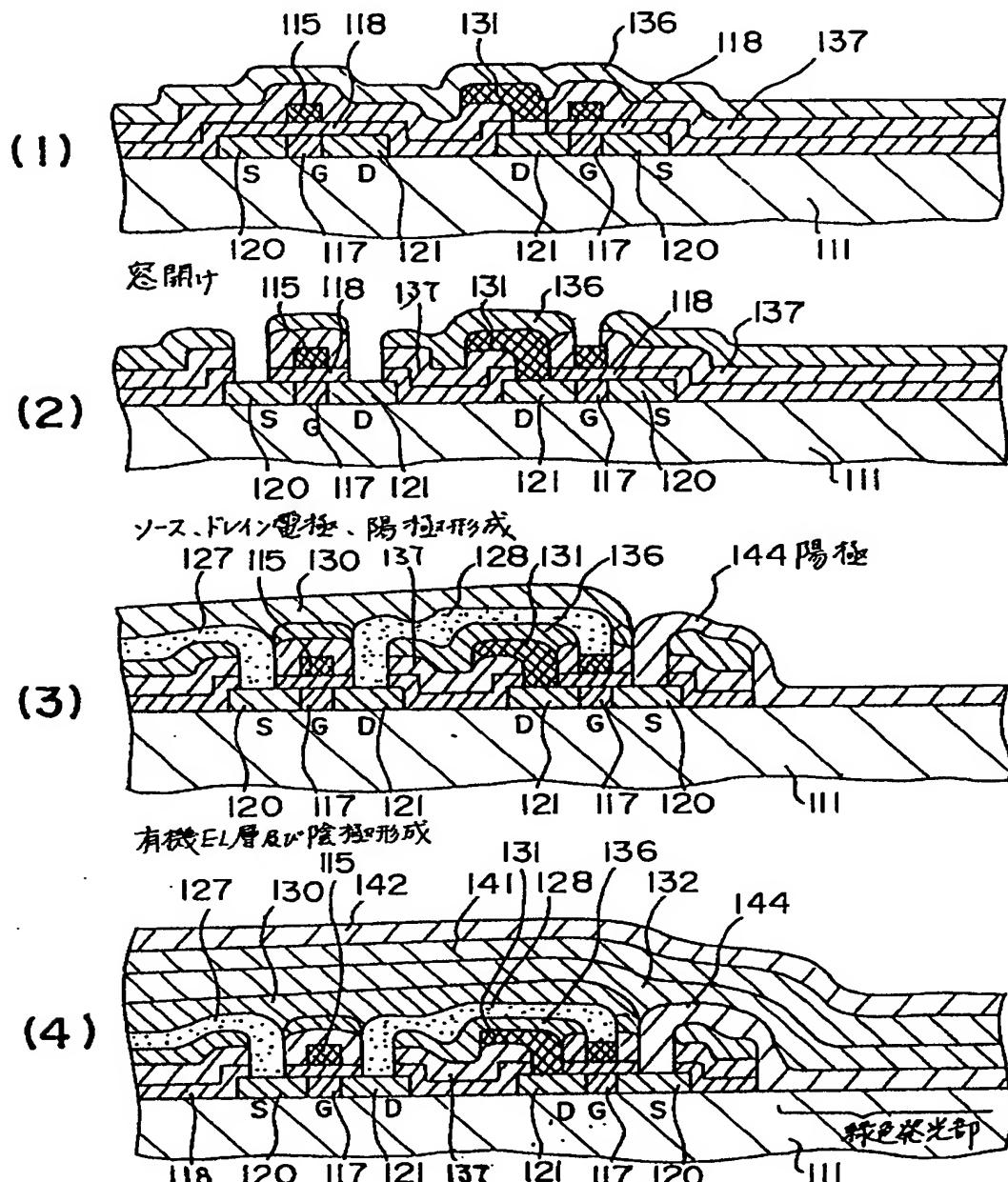
〔図31〕

### 〈構造例Ⅱの有機ELの 製造プロセスフロー〉

### スイッチング用、電流駆動用TFT上に絶縁膜形成

スイッキング用 雷流駆動用

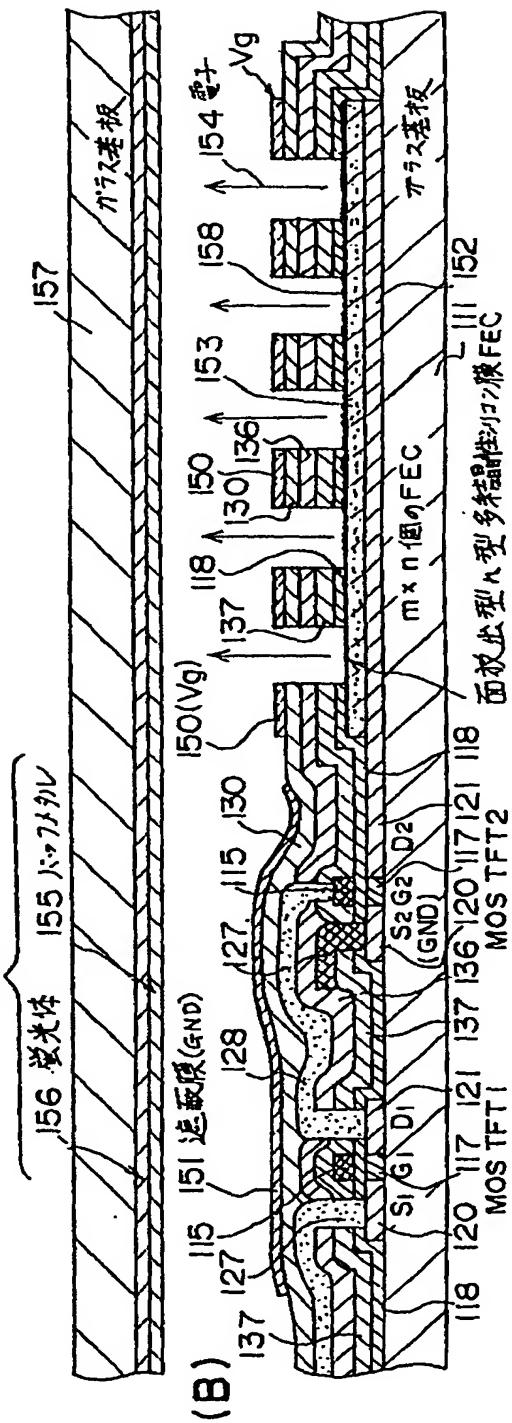
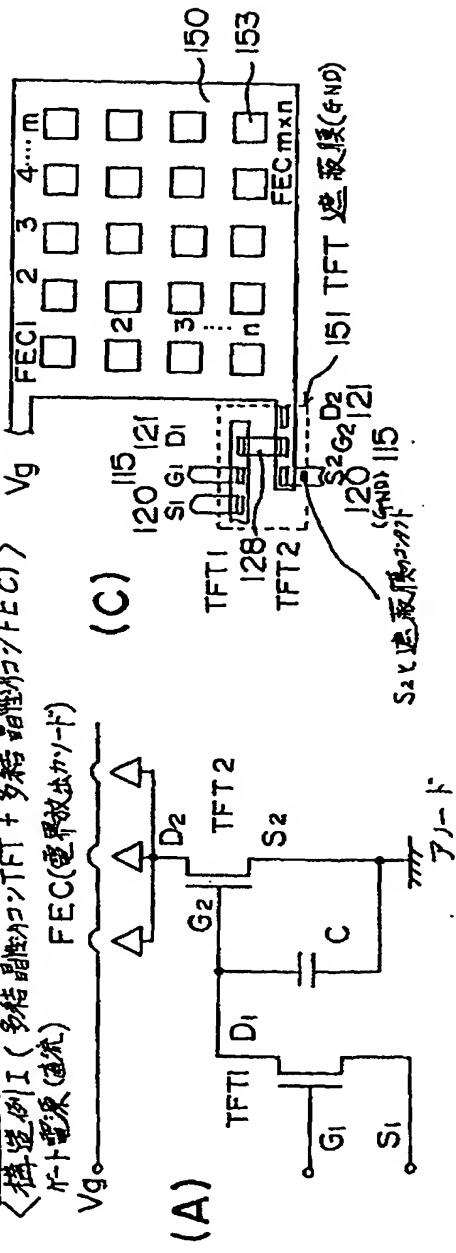
TFT 1 TFT 2



### 【図32】

## 第4の実施の形態

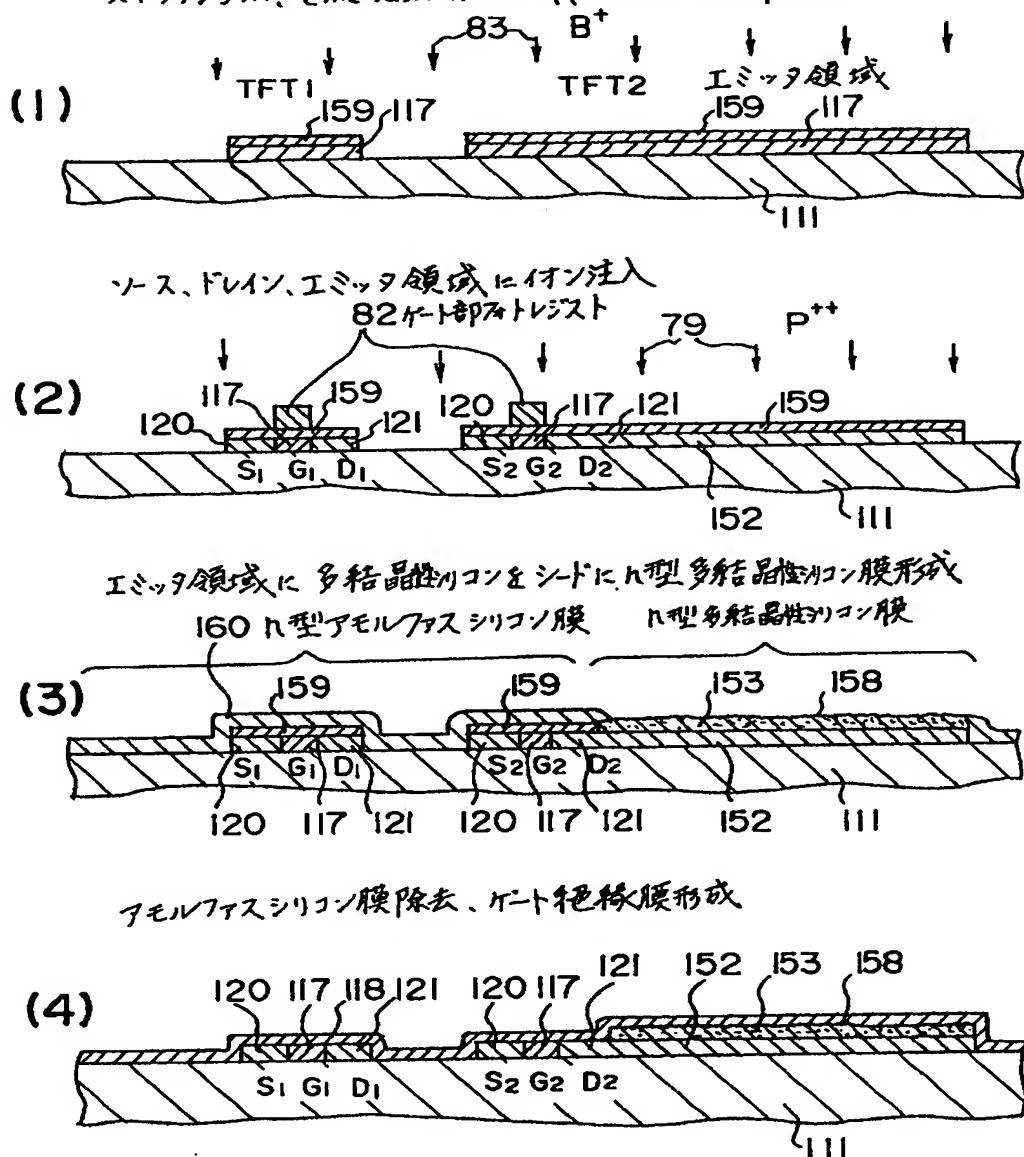
第十一回 構造例 I (多結晶性) TFT + 多結晶性 TFT / FEC  
FEC (電界放出カーボン)  
1-ト電源 (電流)



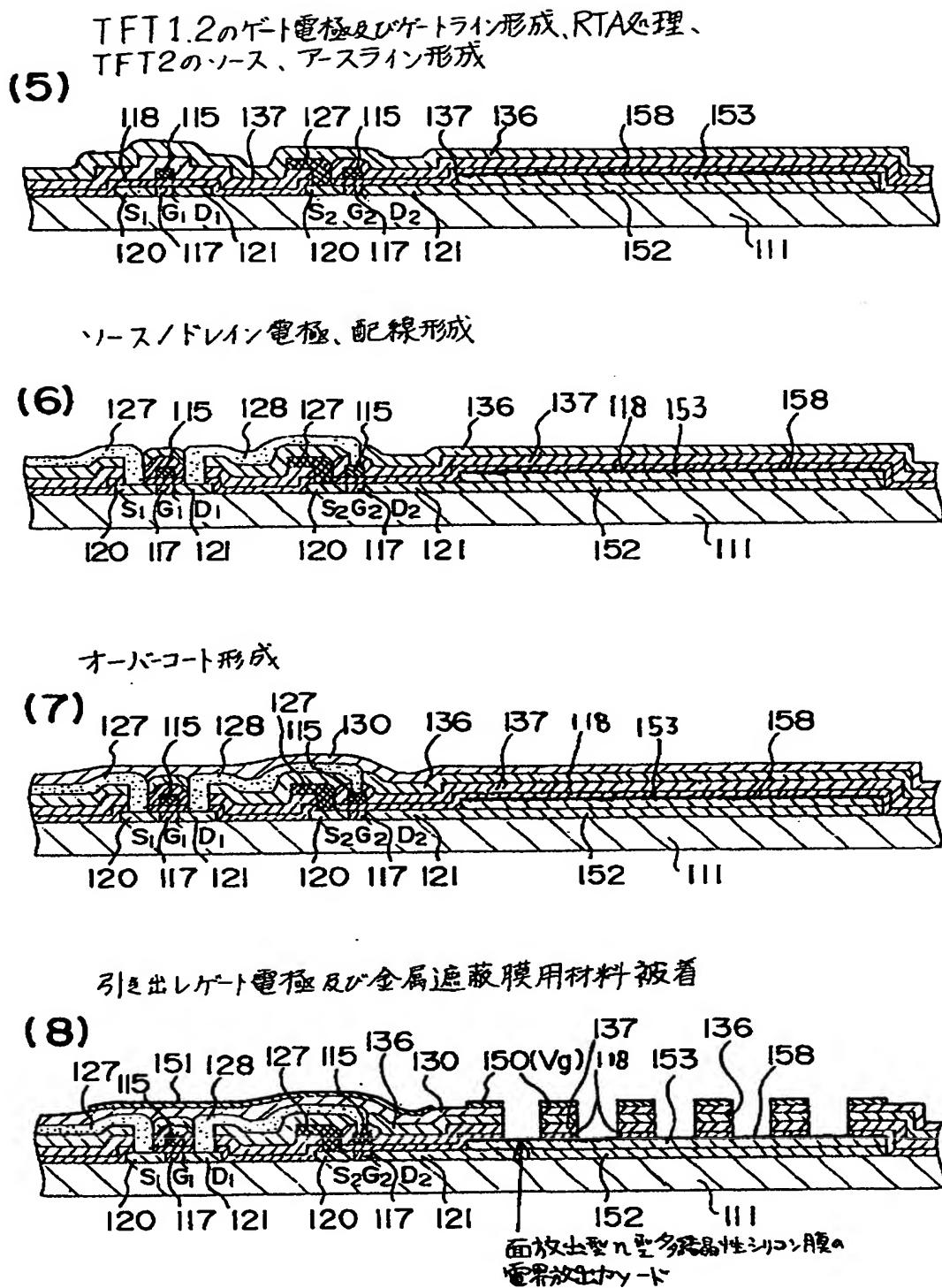
【図33】

&lt;構造例1(多結晶性シリコンTFT+多結晶性シリコンFEC)の製造プロセスフロー&gt;

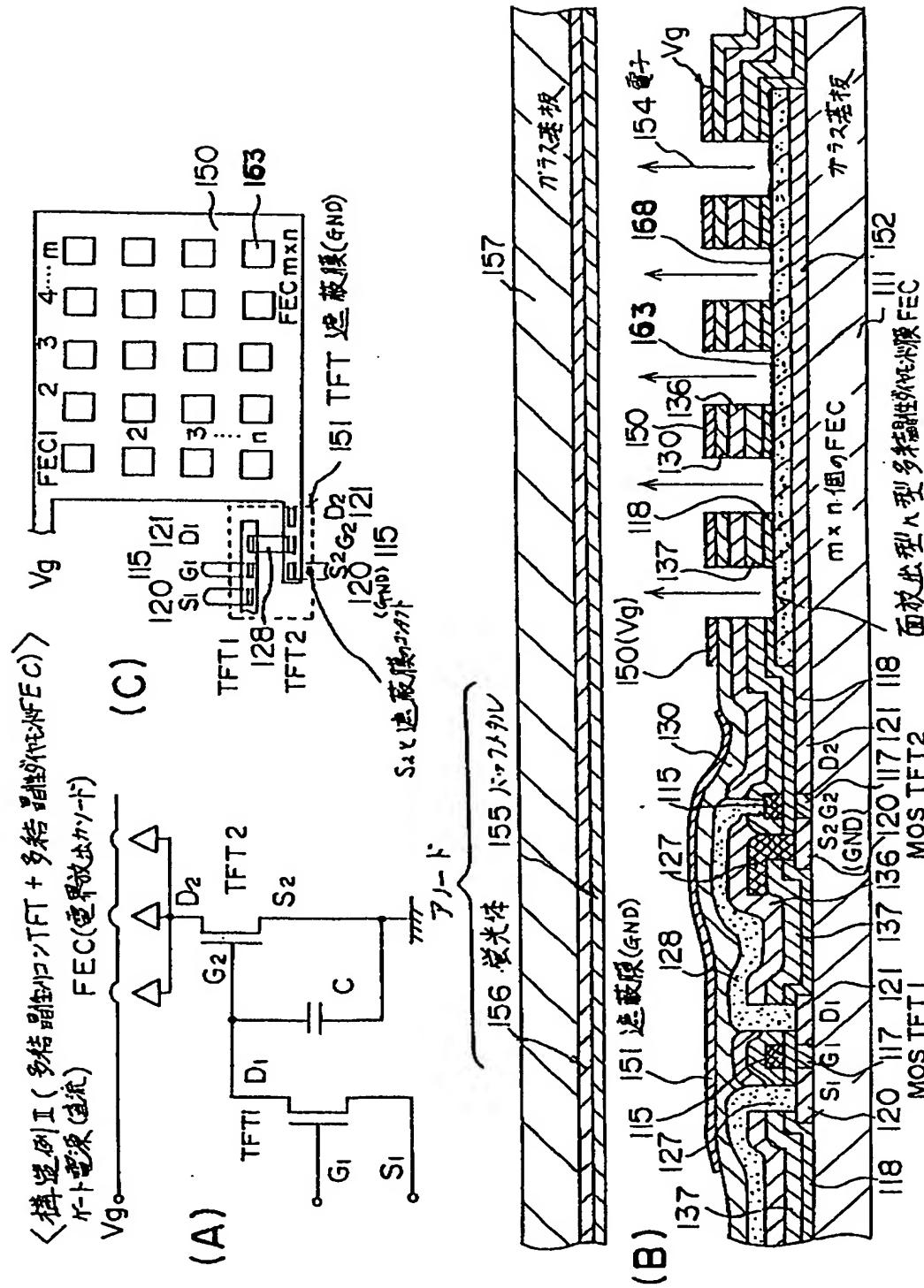
スイッチング用、電流駆動用TFT部、FECのエミッタ部形成



【図34】



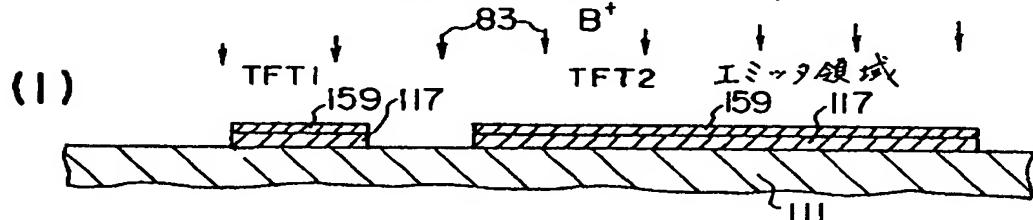
【図35】



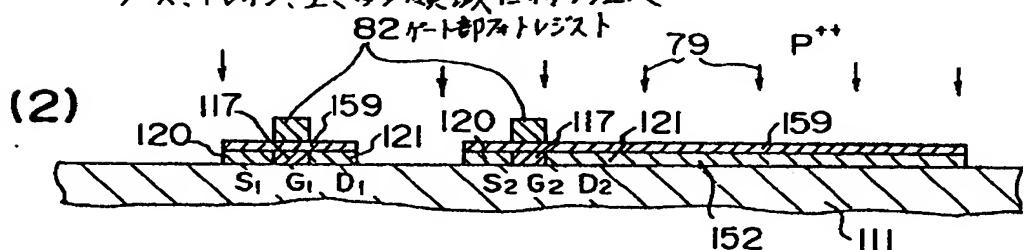
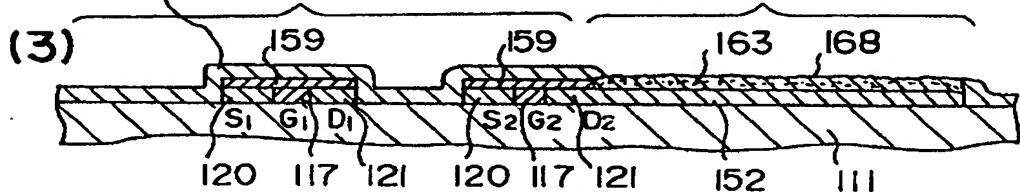
【図36】

&lt;構造例②(多結晶性ゲンTFT+多結晶性アモルモスFEC)の製造プロセスフロー&gt;

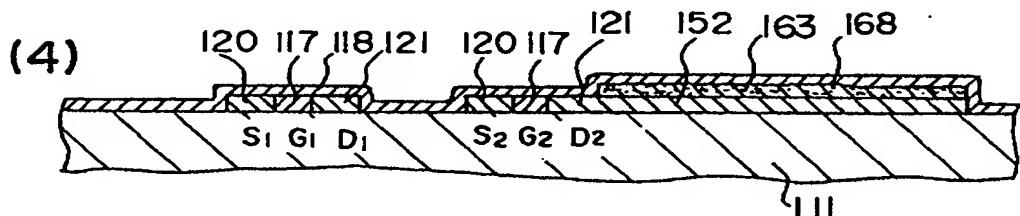
スイッチング用、電流駆動用TFT部、FECのエミッタ部形成



ソース、ドレイン、エミッタ領域にイオン注入

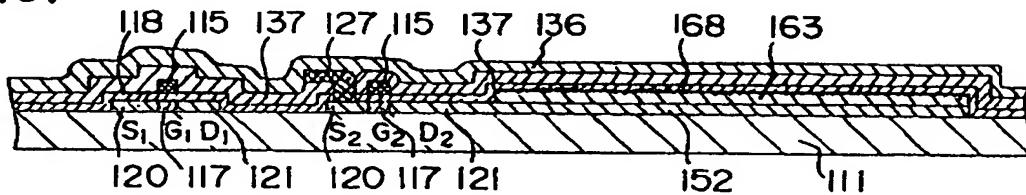
エミッタ領域に多結晶性ゲンをシードしル型多結晶アモルモス膜形成  
ル型多結晶性アモルモス膜

アモルファスアモルモス膜除去、ゲート絕縁膜形成



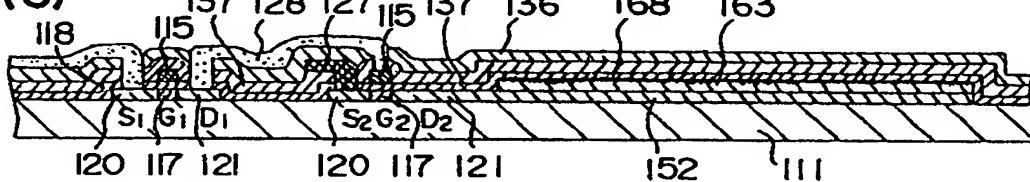
【図37】

(5) TFT1,2のゲート電極及びゲートライン形成、RTA処理、  
TFT2のソース、アースライン形成



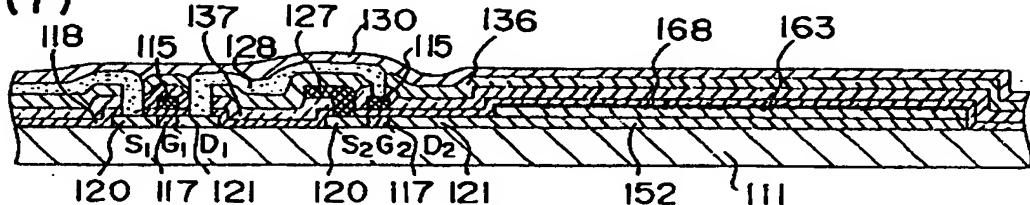
窓開け、配線形成

(6)



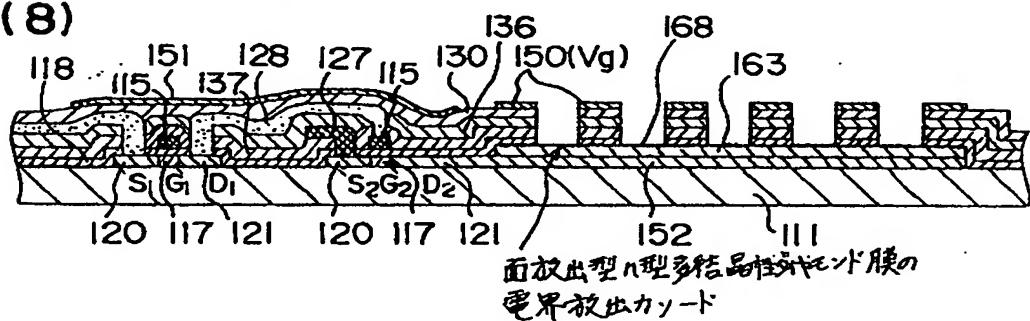
オーバーコート形成、アニール処理

(7)



ゲート材料被着、FEC部窓開け

(8)

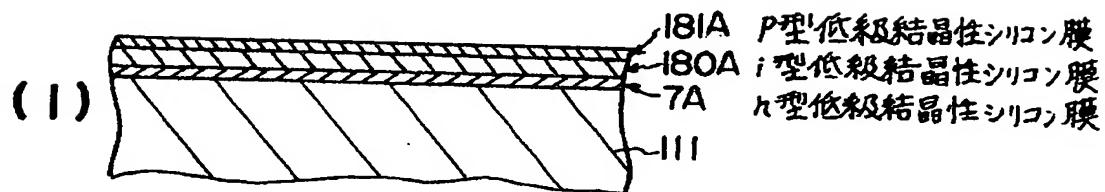


【図38】

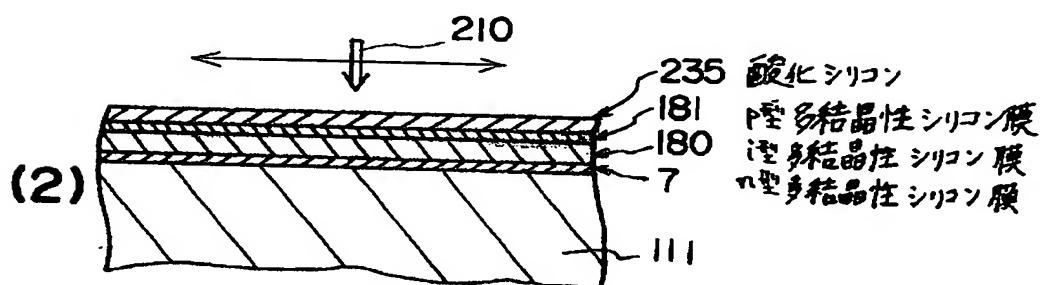
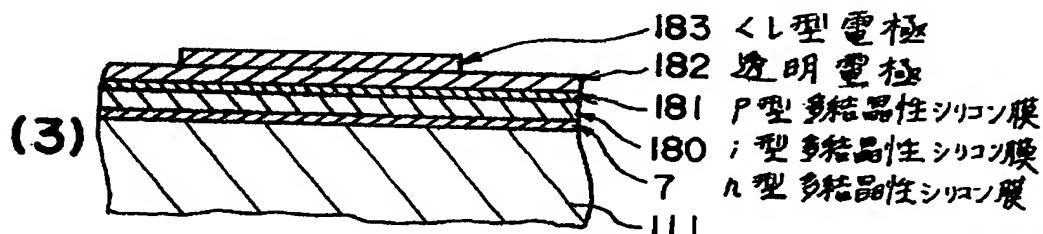
第5の実施の形態

## 〈太陽電池の製造プロセスフロー〉

## n-i-P型低級結晶性シリコン積層膜形成



カバー用絶縁膜形成と集光ランプアニール

カバー用絶縁膜除去、水素化処理、  
透明電極及くし型電極形成

【書類名】 要約書

【要約】

【課題】 高結晶化率で高品質の多結晶シリコン等の多結晶性又は単結晶性半導体薄膜を容易かつ低成本に、しかも大面積に形成可能な方法と、この方法を実施する装置を提供すること。

【解決手段】 基体1上に高結晶化率、大粒径の多結晶性シリコン膜等の多結晶（又は単結晶）性半導体薄膜7を形成するに際し、或いは基体1上に多結晶（又は単結晶）性半導体薄膜7を有する半導体装置を製造するに際し、基体1上に低級結晶性半導体薄膜7Aを形成した後、この低級結晶性半導体薄膜7Aに集光ランプアニールを施して、溶融又は半溶融又は非溶融状態の加熱と冷却により低級結晶性半導体薄膜7Aの結晶化を促進して多結晶（又は単結晶）性半導体薄膜7を得る、多結晶（又は単結晶）性半導体薄膜の形成方法、又は半導体装置の製造方法、及びこれらを実施するための装置。

【選択図】 図1

出願人履歴情報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号  
氏 名 ソニー株式会社



Creation date: 17-07-2003

Indexing Officer: JCOBB - JALESHA COBB

Team: OIPEBackFileIndexing

Dossier: 10075774

Legal Date: 12-03-2002

No.	Doccode	Number of pages
1	CTMS	1

Total number of pages: 1

Remarks:

Order of re-scan issued on .....